

EdgeBoard AI 计算盒&计算卡 (FZ5) 硬件手册

版本 V1.0

版本记录

版本号	说明	时间
V1.0	初始版本	2020/08/10

目 录

目 录	3
第 1 章 产品概述.....	5
1.1 产品简介	5
1.2 产品预览.....	5
第 2 章 SOC 介绍	6
2.1 SoC 特性	6
2.2 SoC BANK	8
第 3 章 硬件资源介绍	9
3.1 开发板硬件资源	9
3.2 引导模式和 JTAG 模式选择.....	10
3.3 DDR4	10
3.4 存储	11
3.4.1 SPI Flash	11
3.4.2 eMMC	12
3.4.3 eeprom.....	13
3.5 以太网	13
3.6 USB PHY&HUB	15
3.7 多路可编程时钟发生器	15
3.8 外部看门狗与复位	16
第 4 章 硬件接口.....	17
4.1 板上接口说明	17
4.2 PS 单元接口	18
4.2.1 PS 端以太网接口.....	18
4.2.2 USB Host.....	18
4.2.3 TF 卡接口	18
4.2.4 RS232 接口	18
4.2.5 CAN 接口	19
4.2.6 RS485 接口	19

4.2.7 Debug 接口	19
4.2.8 JTAG	19
4.3 PL 单元接口	20
4.3.1 HDMI 输入接口	20
4.3.2 MIPI-CSI 接口	20
4.3.3 IO 扩展接口	20
4.4 其他接口	21
4.4.1 电源输入接口	21
4.4.2 RTC 电池接口	21
4.4.3 风扇接口	22
4.4.4 按键 LED	22
第 5 章 机械电气参数	24
附录一 售后服务与技术支持	26

第 1 章 产品概述

1.1 产品简介

百度大脑 EdgeBoard AI 计算盒/计算卡系百度与米尔联合推出的一款高性能,高可靠性的 AI 计算盒/计算卡。该产品基于 XILINX Zynq UltraScale+ MPSoC 系列 FPGA 可伸缩计算架构,可支持二次开发,支持高精度模型/多模型部署,同时搭载百度大脑 PaddlePaddle (飞浆) 框架,能无缝衔接百度大脑 AI 开放能力与工具平台,并且采用宽温设计,整体式无风扇被动散热,可适应工业场景的恶劣环境,是批量化 AI 项目落地的卓越选择。

1.2 产品预览



Figure 1-2

产品型号说明	
FZ5C-计算盒	ZU5EV/4GB DDR/32GB eMMC
FZ5D-计算盒	ZU5EV/8GB DDR/32GB eMMC
FZ5C-计算卡	ZU5EV/4GB DDR/32GB eMMC
FZ5D-计算卡	ZU5EV/8GB DDR/32GB eMMC

Table 1-2

第 2 章 SOC 介绍

2.1 SoC 特性

FZ5C 主 CPU 采用的 XCZU5EV 属于 Zynq UltraScale + MPSoC 系列 SoC，集成了 ARM 四核 Cortex-A53 (PS)，双核 Cortex-R5 (PS)，Mali-400 MP2 图形处理单元和 Kintex Ultrascale + FPGA (PL)。四核 Cortex-A53 具有强大的计算能力，双核 Cortex-R5 可用于实时处理应用，Mali-400 MP2 可用于加速图形处理，VCU 可用于硬件视频编解码加速应用，而 FPGA 具有完全可编程性。配合丰富都常用接口以及可扩展接口，可适应各种应用场景。

MYS-ZU5EV-32E4D-EDGE 采用 Xilinx XCZU5EV-SFVC784 器件，速度等级为-2。

XCZU5EV-2SFVC784I 支持 1.5GHz (最大-2) 的 APU 速度，600MHz (最大-2) 的 RPU 速度，667MHz (最大-2) 的 GPU 速度，以及高达 2400Mbps 的 DDR4 速度。

XCZU5EV-2SFVC784I 器件具有以下资源：

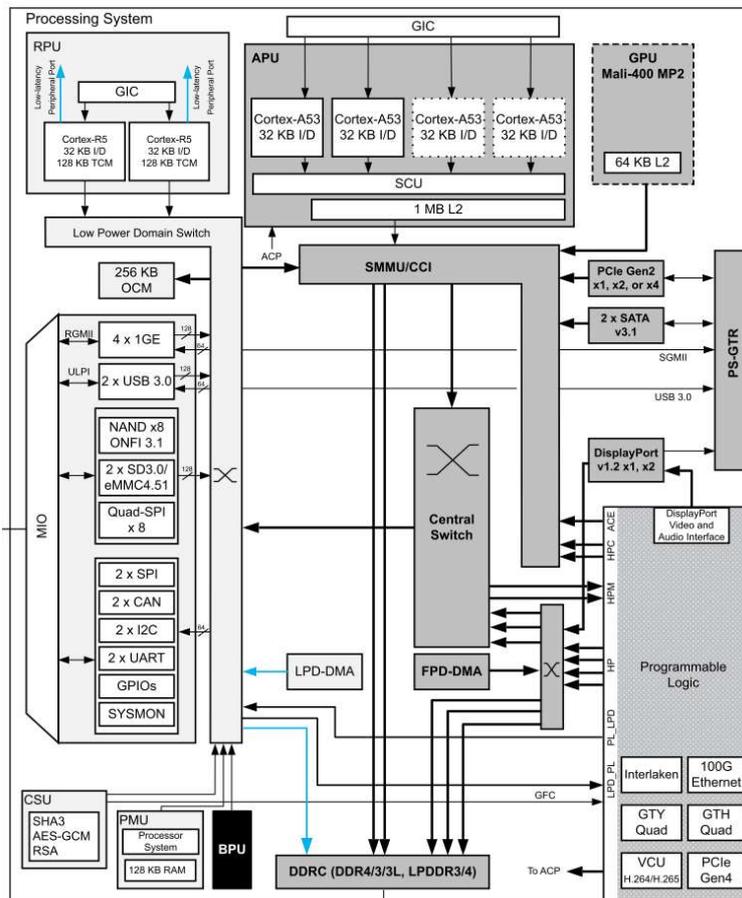


Figure 2-1

➤ 处理器系统单元（PS）

- 处理核心：四核 ARM Cortex-A53 多核处理器 高达 1.5GHz
- 最高时钟频率：1.5Ghz
- APU： L1 Cache 32KB I / D 每个核心, L2 Cache 1MB.
- RPU： L1 Cache 32KB I / D 每个核心.
- 片内缓存： 256KB
- 片外接口： 支持 LPDDR4， DDR4， DDR3, DDR3L LPDDR3 with ECC
- 外部静态存储： 2x Quad-SPI， NAND
- DMA 通道： 8（其中 4 个 PL 专用）
- 外设：
 - 高速接口： PCIe® Gen2 x4, 2x USB3.0, SATA 3.1, DisplayPort, 4x Tri-mode Gigabit Ethernet.
 - 通用接口： 2xUSB 2.0, 2x SD/SDIO, 2x UART, 2x CAN 2.0B, 2x I2C, 2x SPI, 4x 32b GPIO

➤ 可编程逻辑单元（PL）

	MYC-XCZU5EV
逻辑核心	Xilinx Kintex Ultrascale+®FPGA
可编程逻辑单元	256K
Look-Up Tables	117K
触发器	234K
Block RAM	Distributed RAM 5.1Mb / Block RAM 18.0Mb
DSP slice	1248
AMS-System Monitor	1

Table 2-1

2.2 SoC BANK

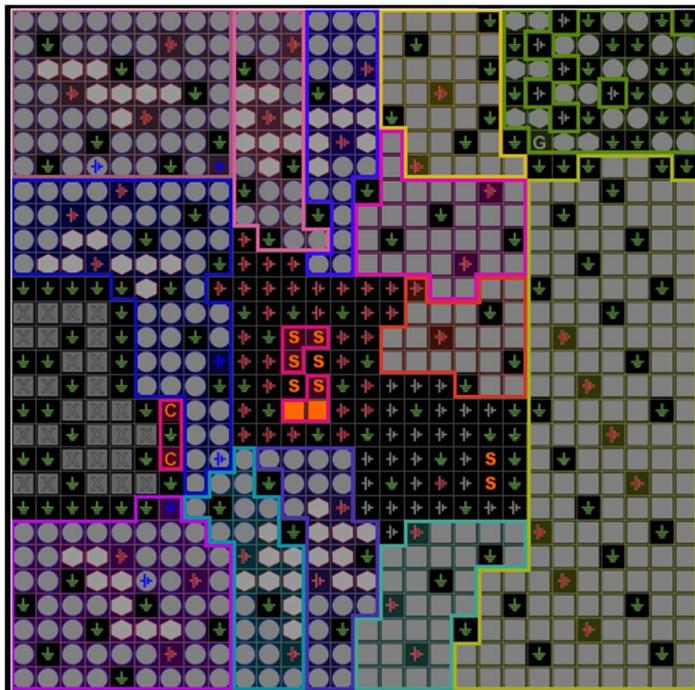


Figure 2-2 XCZU5EV SFVC784 Banks

- **BANK 0** : 温度传感器, XADC, 其他配置信号
- **BANK 24**: PL 高密度 BANK, 24Pin (12 对差分信号)
- **BANK 25**: PL 高密度 BANK, 24Pin (12 对差分信号)
- **BANK 26**: PL 高密度 BANK, 24Pin (12 对差分信号)
- **BANK 44**: PL 高密度 BANK, 24Pin (12 对差分信号)
- **BANK 64**: PL 高性能 BANK, 52Pin (26 对差分信号)
- **BANK 65**: PL 高性能 BANK, 52Pin (26 对差分信号)
- **BANK 66**: PL 高性能 BANK, 52Pin (26 对差分信号)
- **BANK 500**: PS side, MIO[00:25] 26pin, 复用管脚
- **BANK 501**: PS side, MIO[26:51] 26pin, 复用管脚
- **BANK 502**: PS side, MIO[52:77] 26pin, 复用管脚
- **BANK 503**: PS 处理器侧, 包含 PS 配置引脚, JTAG 以及启动配置引脚, 复位信号灯。
- **BANK 504**: PS side, 内存接口 BANK
- **BANK 505**: PS side, 高速 Serdes BANK
- **BANK 224**: PL side, 高速 Serdes BANK

第 3 章 硬件资源介绍

3.1 开发板硬件资源

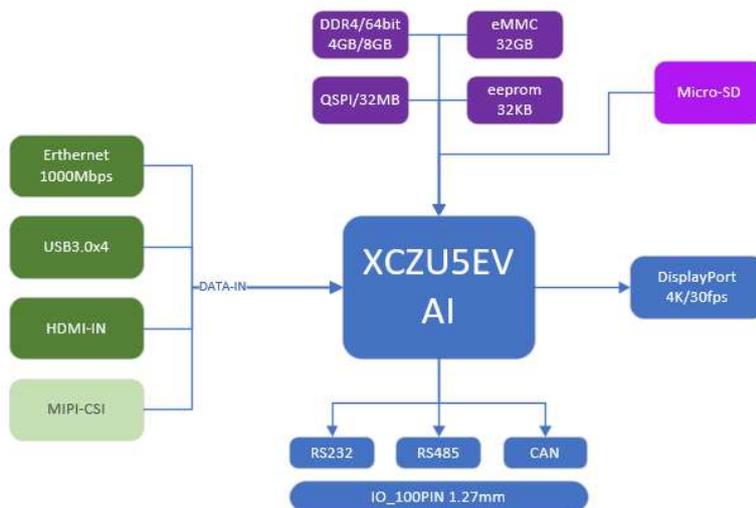


Figure 3-1

➤ 硬件资源

- ◆ 4GB/8GB DDR4 SDRAM (64bit 2400Mbps)
- ◆ 32GB eMMC
- ◆ 32MB QSPI
- ◆ 10/100/1000Mb/s 千兆以太网 PHY
- ◆ RS232 * 1, RS485 * 1, CAN * 1

➤ 外设接口及资源

- ◆ 1 路 TF 卡接口
- ◆ 4 路 USB3.0 物理接口
- ◆ 1 路千兆 RJ45 以太网接口
- ◆ 1 路 Mini Displayport 输出接口
- ◆ 1 路 HDMI 输入接口
- ◆ 1 个系统复位按键, 1 个 FPGA 复位按键
- ◆ 1 路 MIPI-CSI 扩展接口, 1 路 100 PIN1.27 间距 IO 扩展接口

- ◆ 1路 JTAG 接口, 1路 USB 转 UART 调试接口
- ◆ 三个板载 LED 状态指示, 一个电源和一个系统运行指示

3.2 引导模式和 JTAG 模式选择

开发板提供四种启动方式供选择, 分别是 JTAG, SD1, eMMC 和 Quad-SPI 启动, 可通过拨码开关 SW1 进行设置。

Name	PS_MODE0	PS_MODE1	PS_MODE2	PSMODE3
SW1	1	2	3	4
JTAG	ON	ON	ON	ON
QSPI	ON	OFF	ON	ON
SD1	OFF	ON	OFF	ON

Table 3-2

注: ON=0, OFF=1。

3.3 DDR4

开发板采用四片 Micron 公司的 (MT40A512M16LY-062E IT:E) DDR4 内存芯片, 64 位接口, 共计 4GB 容量, 可选配 8GB 容量。DDR4 存储器连接到 SoC 的 PS DDR 控制器的物理端口上, IO 电压为 1.2V, 支持的最高速度达 2400MT/s。

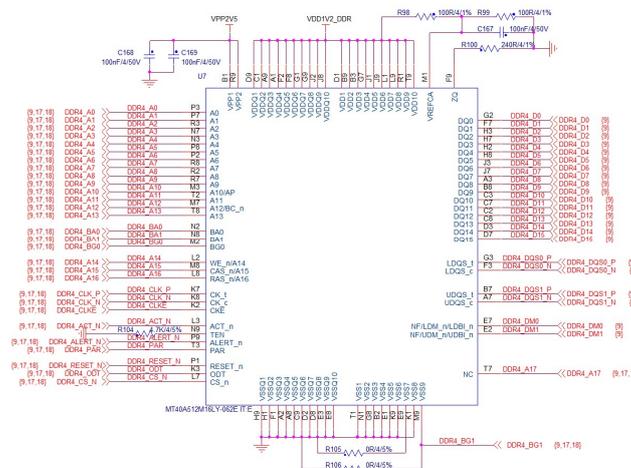


Figure 3-3

3.4 存储

3.4.1 SPI Flash

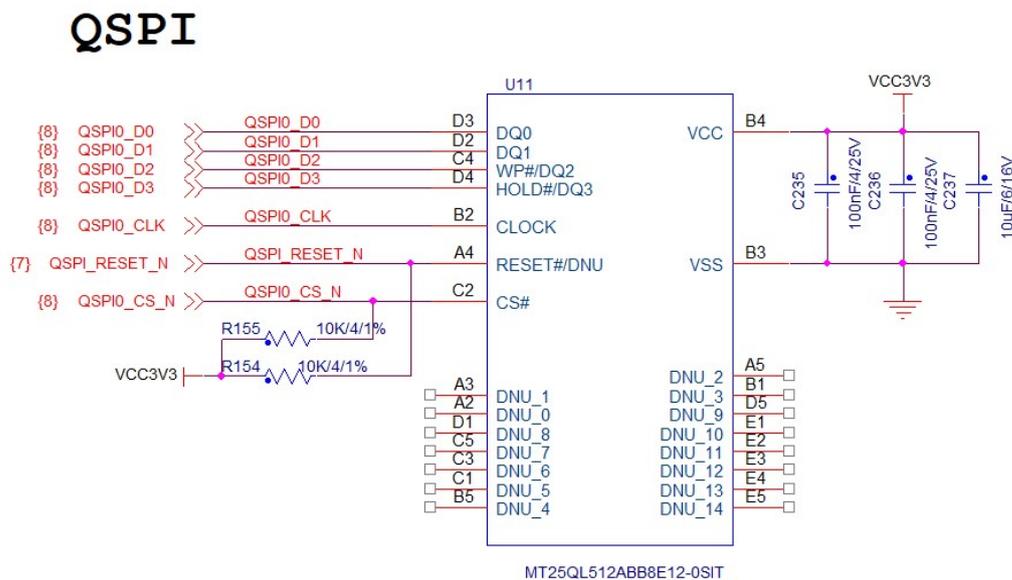


Figure 3-4-1

开发板带有 1 片 Quad-SPI Flash(MT25QL512ABB8E12-0SIT)，连接到 CPU 的 QSP IO 接口 BANK500 的 PS_MIO0~PSMIO5 引脚：

Zynq name	Net	Ball
PS_MIO0	QSPI_LOWER_SCK	AG15
PS_MIO1	QSPI_LOWER_D1	AG16
PS_MIO2	QSPI_LOWER_D2	AF15
PS_MIO3	QSPI_LOWER_D3	AH15
PS_MIO4	QSPI_LOWER_D0	AH16
PS_MIO5	QSPI_LOWER_CS	AD16

Table 3-4-1

可以用于引导 SoC，初始化 PS 并配置 PL 单元。

3.4.2 eMMC

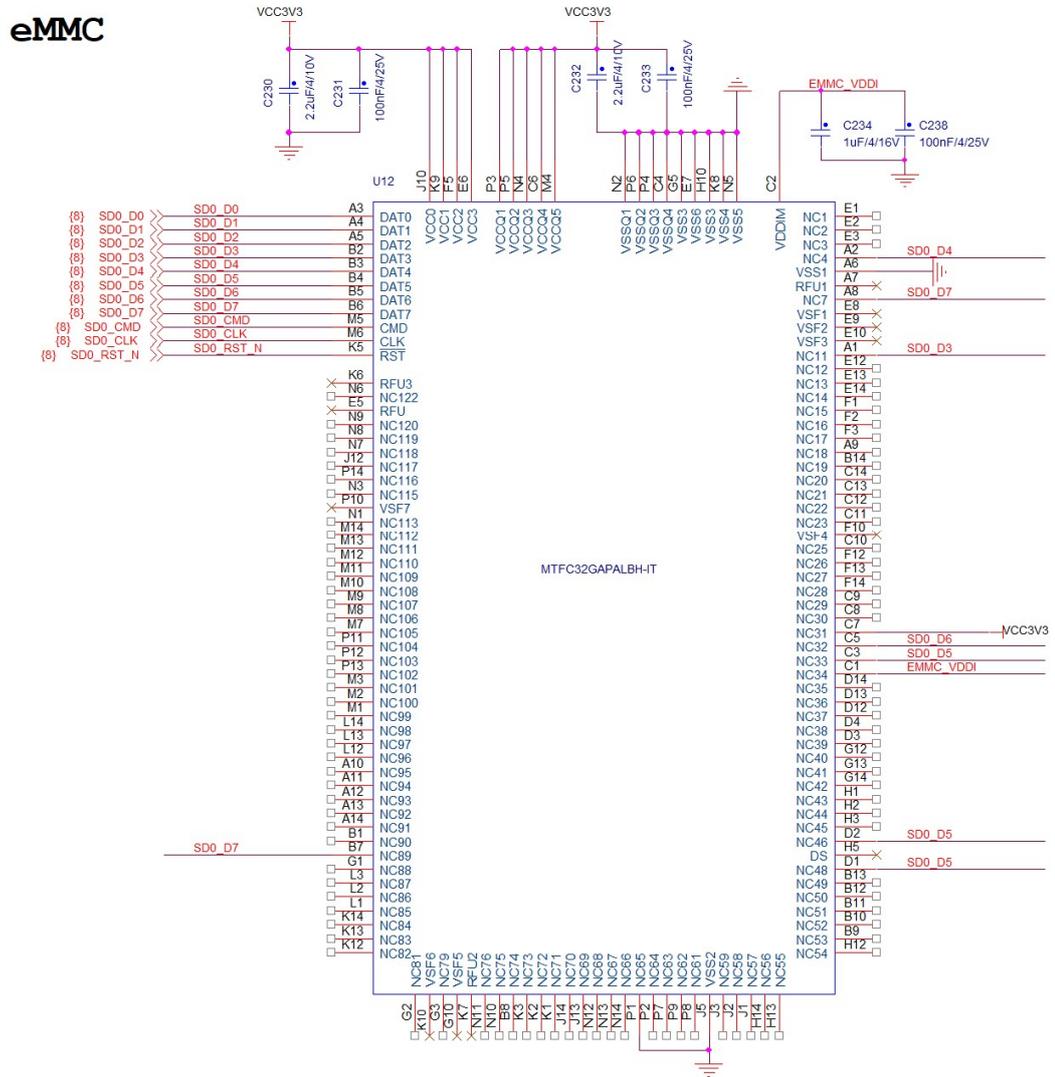


Figure 3-4-2

板载镁光 32GB eMMC -- MTF32GAPALBH-IT, 8 位接口, 连接到了 CPU 的 SDIO

0-- BANK500 的 PS_MIO13~的 PS_MIO23 引脚:

Zynq name	Net	Ball
PS_MIO13	SD0_D0	AH18
PS_MIO14	SD0_D1	AG18
PS_MIO15	SD0_D2	AE18
PS_MIO16	SD0_D3	AF18
PS_MIO17	SD0_D4	AC18
PS_MIO18	SD0_D5	AC19
PS_MIO19	SD0_D6	AE19

PS_MIO20	SD0_D7	AD19
PS_MIO21	SD0_CMD	AC21
PS_MIO22	SD0_CLK	AB20
PS_MIO23	SD0_RST_N	AB18

Table 3-4-2

3.4.3 eeprom

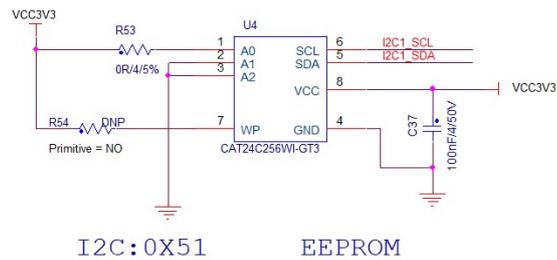


Figure 3-4-3

板载 32KB eeprom -- CAT24C256WI-GT3, 连接到了 I2C1 总线上, 用于存储系统数据, 如网卡 mac 地址, 产品序列号等。

Zynq name	Net	Ball
PS_MIO24	I2C1_SCL	AB19
PS_MIO25	I2C1_SDA	AB21

Table 3-4-3

3.5 以太网

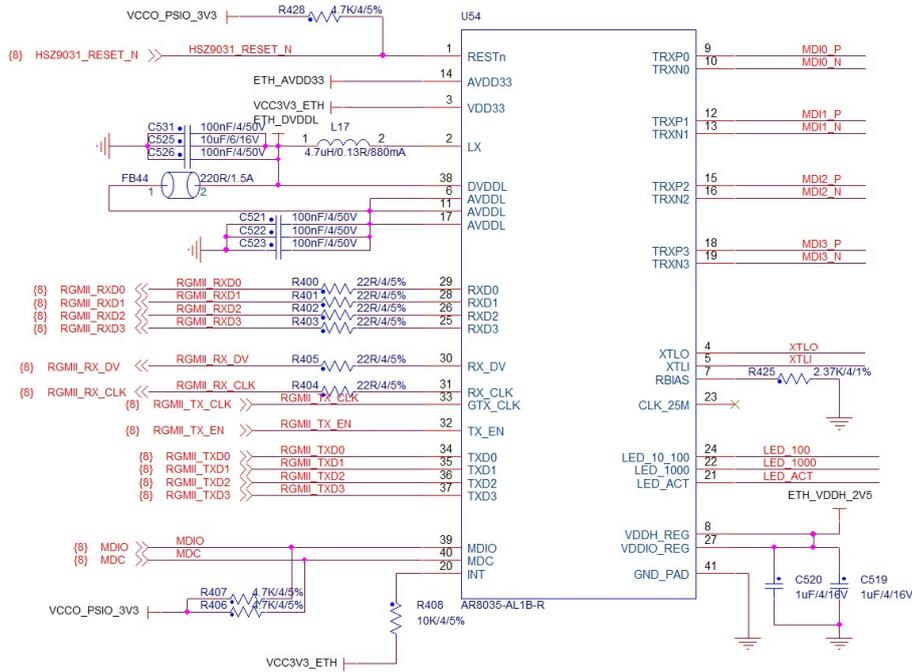


Figure 3-5

Zynq UltraScale+的 PS 单元包含一路千兆以太网 MAC 硬件控制器，外部需接有以太网物理层传输芯片，开发板采用 AR8035-AL1B-R 作为 PHY，利用 PS 端 RGMII 接口接出一路千兆以太网口。其中 PHY 的 IIC 地址为 0x4。

AR8035-AL1B-R 接到了 CPU 的 ETH0—BANK501 的 PS_MIO64 ~ PS_MIO77 引脚。

Zynq name	Net	Ball
PS_MIO64	RGMII_TX_CLK	E19
PS_MIO65	RGMII_TXD0	A18
PS_MIO66	RGMII_TXD1	G19
PS_MIO67	RGMII_TXD2	B18
PS_MIO68	RGMII_TXD3	C18
PS_MIO69	RGMII_TX_EN	D19
PS_MIO70	RGMII_RX_CLK	C19
PS_MIO71	RGMII_RXD0	B19
PS_MIO72	RGMII_RXD1	G20
PS_MIO73	RGMII_RXD2	G21
PS_MIO74	RGMII_RXD3	D20
PS_MIO75	RGMII_RX_DV	A19
PS_MIO76	MDC	B20
PS_MIO77	MDIO	F20
PS_MIO30	HSZ9031_RESET_N	F16

Table 3-5

3.6 USB PHY&HUB

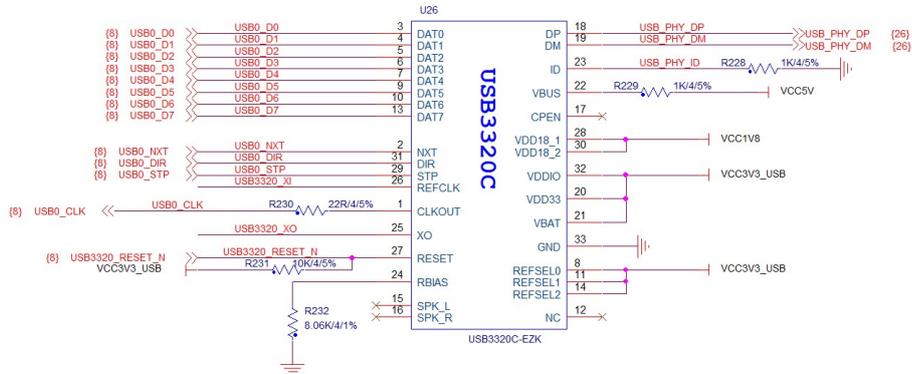


Figure 3-6

SoC 通过 PS 端的 USB 控制器与一片 SMSC 公司的 USB PHY 芯片 USB3320C 连接构成一个 USB 2.0 端口并和 PS 端 GTR1 (USB3.0) 合并作为 USB Host, 再通过 USB5744 USB3.0 hub 扩展出 4 个 USB3.0 端口。

USB3320C 连接到了 CPU 的 USB0—BANK501 的 PS_MIO52~PS_MIO63 引脚。

Zynq name	Net	Ball
PS_MIO52	USB0_CLK	G18
PS_MIO53	USB0_DIR	D16
PS_MIO54	USB0_D2	F17
PS_MIO55	USB0_NXT	B16
PS_MIO56	USB0_D0	C16
PS_MIO57	USB0_D1	A16
PS_MIO58	USB0_STP	F18
PS_MIO59	USB0_D3	E17
PS_MIO60	USB0_D4	C17
PS_MIO61	USB0_D5	D17
PS_MIO62	USB0_D6	A17
PS_MIO63	USB0_D7	E18

Table 3-6

3.7 多路可编程时钟发生器

FZ5C 具有可编程的 IDT Si5332BD11025-GM2 I2C 可编程时钟发生器, 该时钟 IC 通过外部的 26 MHz 晶振经过倍频分频等处理为整个系统生成必要的时钟。原理图如下:

第 4 章 硬件接口

4.1 板上接口说明

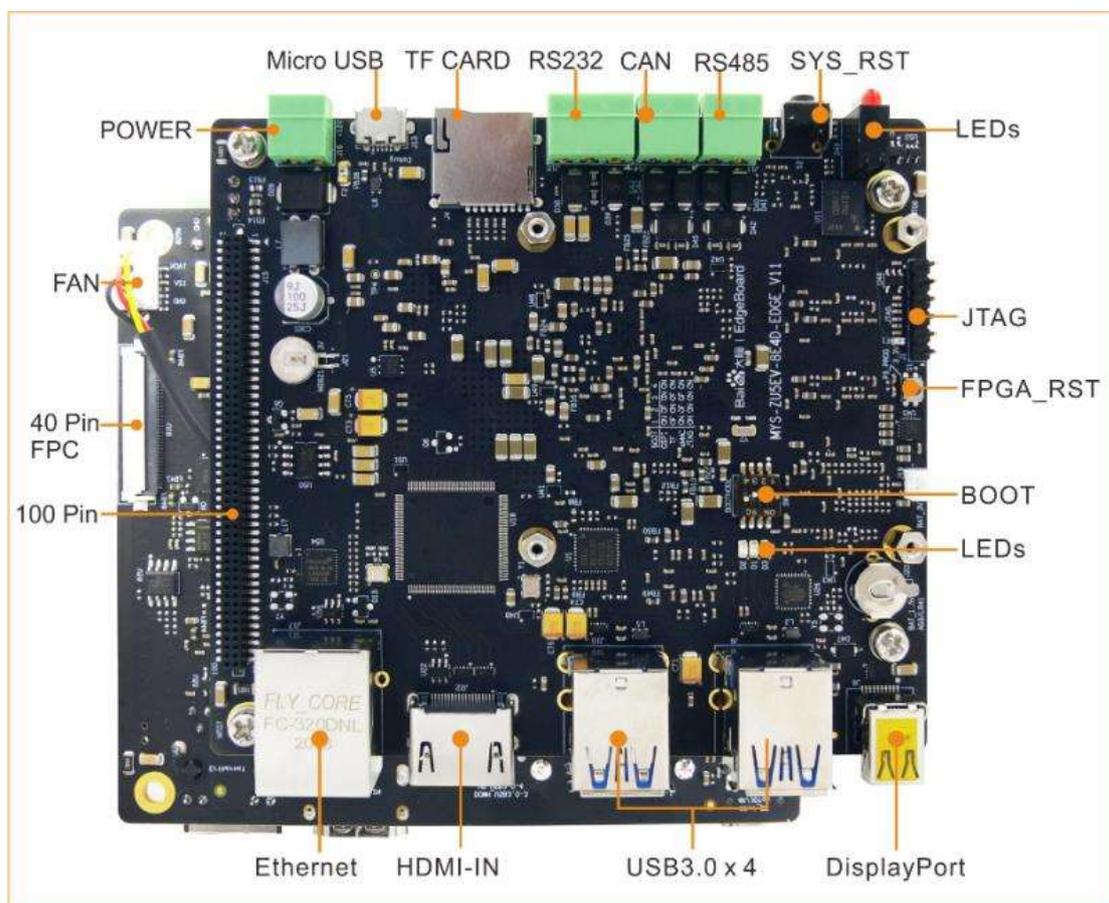


Figure 4-1

Num	Description
J16	电源输入(建议不低于 12V/3A)
J13	Micro USB 转 uart 接口
J4	TF 卡接口 (PS 端)
J12	标准 RS232 接口
J14	CAN 接口
J11	标准 RS485 接口
J6	DisplayPort 视频输出接口 (PS 端)
J9, J10	4xUSB3.0 接口 (PS 端)
J22	HDMI 输入接口
J17	千兆以太网接口 (PS 端)
J15	100PIN IO 扩展接口
J10	MIPI-CSI 输入接口 (PL 端)

Num	Description
J2	风扇接口
J1	JTAG 接口
J19	3V 电池接口
J20	1.5V 电池插座

Table 4-1

4.2 PS 单元接口

4.2.1 PS 端以太网接口

1 路 PS 端 10/100/1000Mbps 以太网 RJ45 接口，连接器位号为 J17。

4.2.2 USB Host

4 路 USB 3.0 接口，作为 HOST，连接器位号为双层 USB 接口 J9 和 J10。

4.2.3 TF 卡接口

1 路 TF 卡接口，用于启动或者存储，连接器位号为 J4。

TF 卡		
Zynq name	Net	Ball
PS_MIO45	SD1_CD	K20
PS_MIO46	SD1_D0	L20
PS_MIO47	SD1_D1	H21
PS_MIO48	SD1_D2	J21
PS_MIO49	SD1_D3	M18
PS_MIO50	SD1_CMD	M19
PS_MIO51	SD1_CLK	L21

Table 4-2-3

4.2.4 RS232 接口

1 路标准 RS232 接口，用于外部通信，接口为 J12。

4.2.5 CAN 接口

1 路 CAN 接口，用于外部通信，接口为 J14。

4.2.6 RS485 接口

1 路标准 RS485 接口，用于外部通信，接口为 J11。

4.2.7 Debug 接口

1 路 MicroUSB to UART 接口，用于调试开发板，接口为 J13。

4.2.8 JTAG

1 路 6 Pin 2.54mm 间距插针的 JTAG，可对 PS 和 PL 单元进行调试，端口为 J1，在 PCB 的背面有标注对应的管脚信号名称。管脚定义如下表。

J1	
1	VREF_3.3V
2	TDI
3	TDO
4	TCK
5	TMS
6	GND

Table 4-2-9

4.3 PL 单元接口

4.3.1 HDMI 输入接口

1 路 HDMI 输入接口，控制芯片为 ADV7619，连接到 PL 端，支持最高输入分辨率为 4K/30fps。详情请参考原理图，连接器位号为 J22。

4.3.2 MIPI-CSI 接口

本开发板在 PL 端留有 MIPI-CSI 接口，MIPI 信号直接通过 PL 端的 IO，进入 FPGA 内部进行解码处理。详细 IO 细节请参考底板原理图以及 PINMAP。接口为 J4。

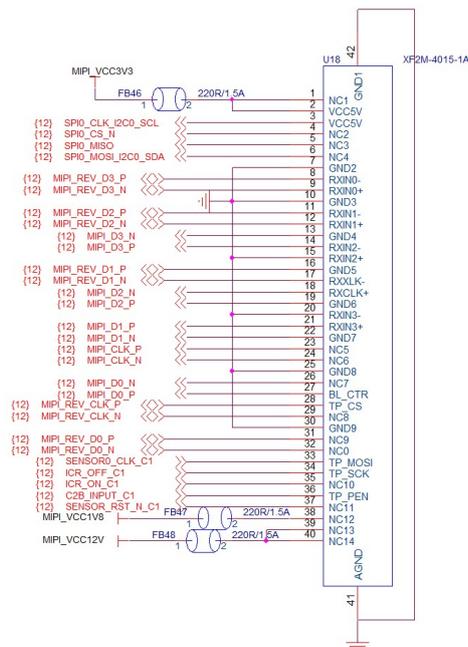


Figure 4-3-1

4.3.3 IO 扩展接口

本开发板通过 1 个 2x50PIN 的 1.27 排针进行 IO 扩展，其中包含 12V，5V，3.3V，1.8V 等电源输出，其中包含 5 个 PSMIO，69 个 PL 端 IO 等信号。接口为 J15。详细连接器 IO 细节请参考与 FZ5C_PINMAP 表格，部分适用的连接器规格以及规格书请参考光盘资料。

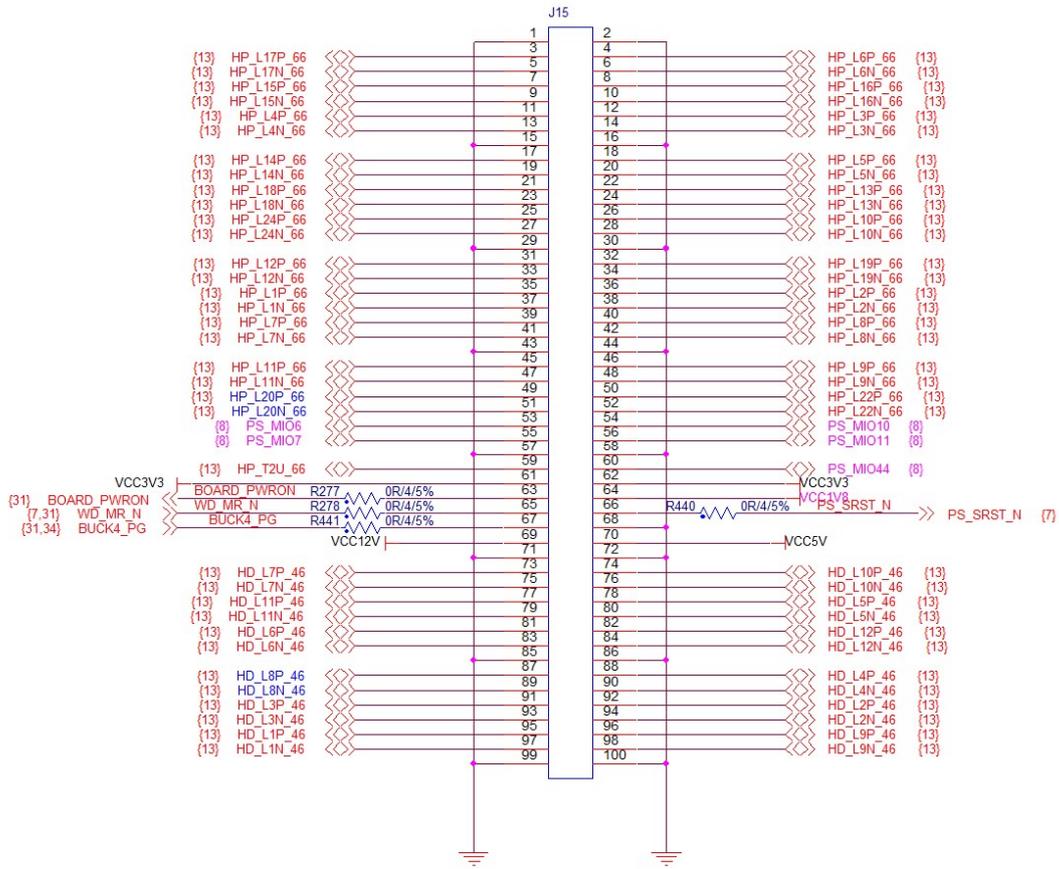


Figure 4-3-3

4.4 其他接口

4.4.1 电源输入接口

本开发板的电源输入接口，默认为 12V 输入，过流保护为 8A，建议使用 12V/3A 的电源输入，接口为 J16。

4.4.2 RTC 电池接口

FZ5 留有板载可充电电池，型号为 MS621T (3V，位置 J21)，也可使用普通非充电 3V (端子为 1.27mm 位置 J19) 或者 1.5V 的 (AG3/LR41 位置 J20) 型号电池。

4.4.3 风扇接口

本开发平台留有风扇接口，默认为 12V 供电，可以通过 PL 端 IO 探测风扇转速，接口为 J2。

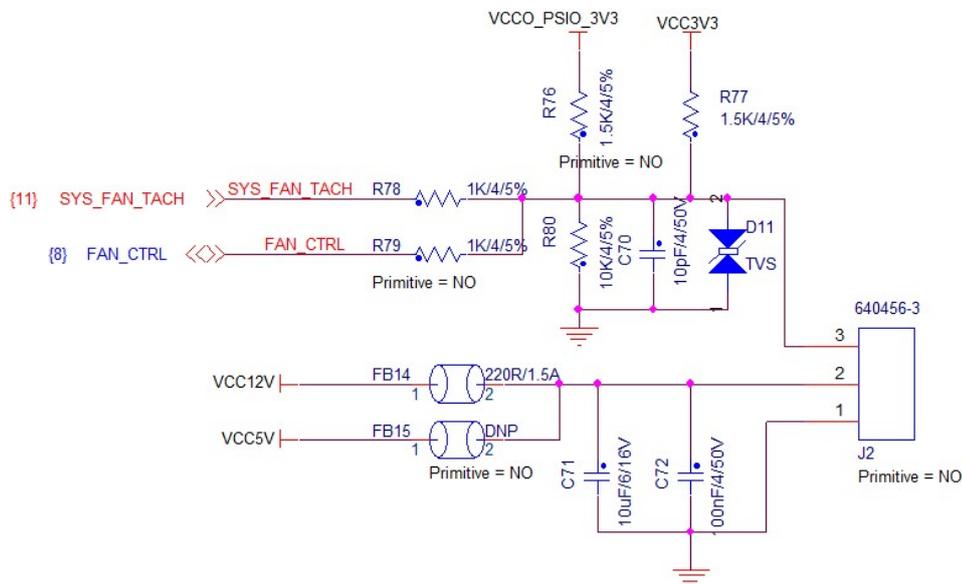


Figure 4-4-3

4.4.4 按键 LED

本开发平台留有 2 个按键，一个外部按键 S2 为系统复位按键，用于复位整个系统，一个内部按键 S1，用于复位 FPGA 部分。两个外部 LED 状态指示，红色为电源指示（上电电源运行正常即亮），绿色为系统运行状态指示（需要软件控制）。

板载 LED 的相关功能说明如下表：

D1	PS_ERROR_OUT	红色
D2	PS_ERROR_STATUS	红色
D3	PS_DONE	绿色

Table 4-4-4-1

D46	POWER	红色
	RUN	绿色

Table 4-4-4-2

风扇功能的相关线路如下：

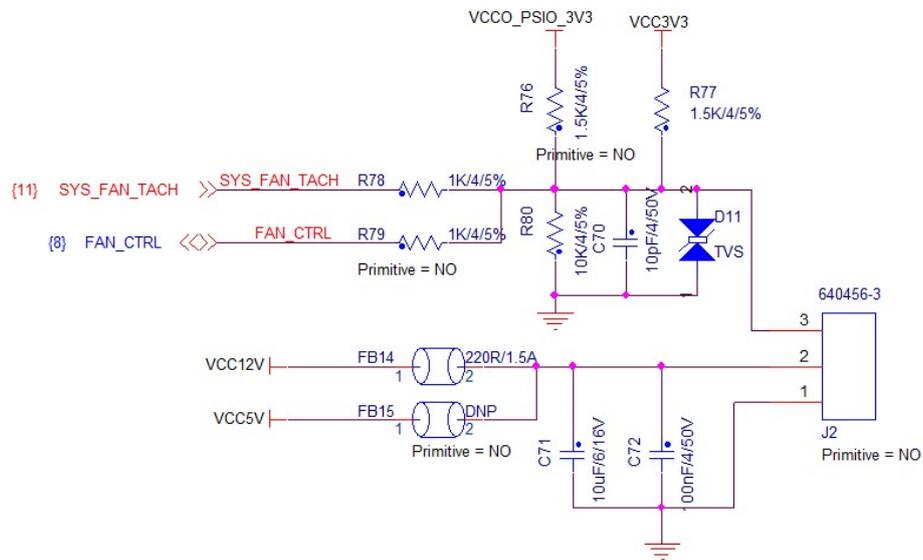
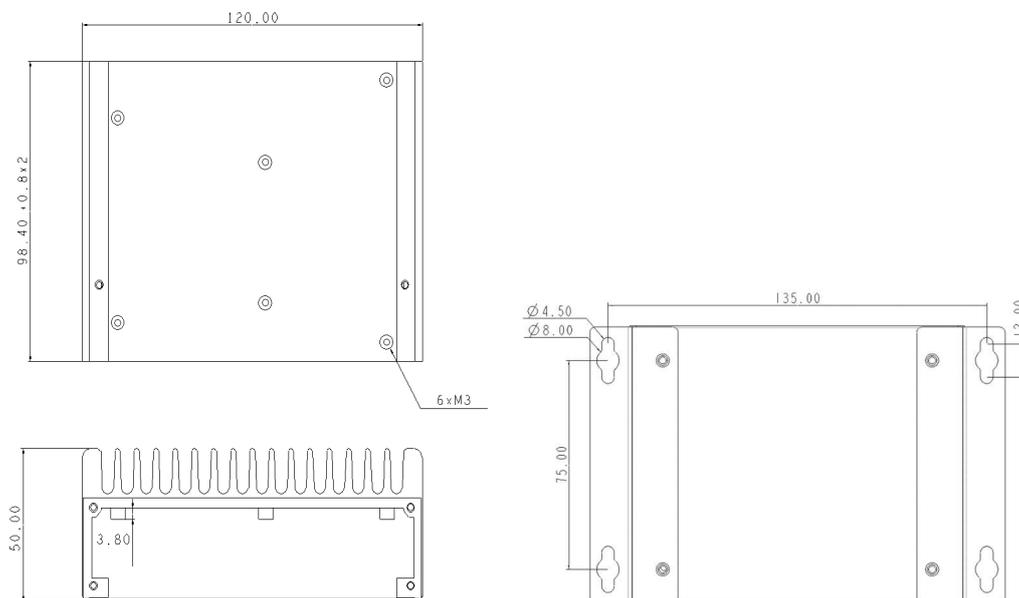


Figure 4-4-4

注：更详细的引脚配置说明请参考原理图以及 FZ5_PINMAP 等文档。

第 5 章 机械电气参数

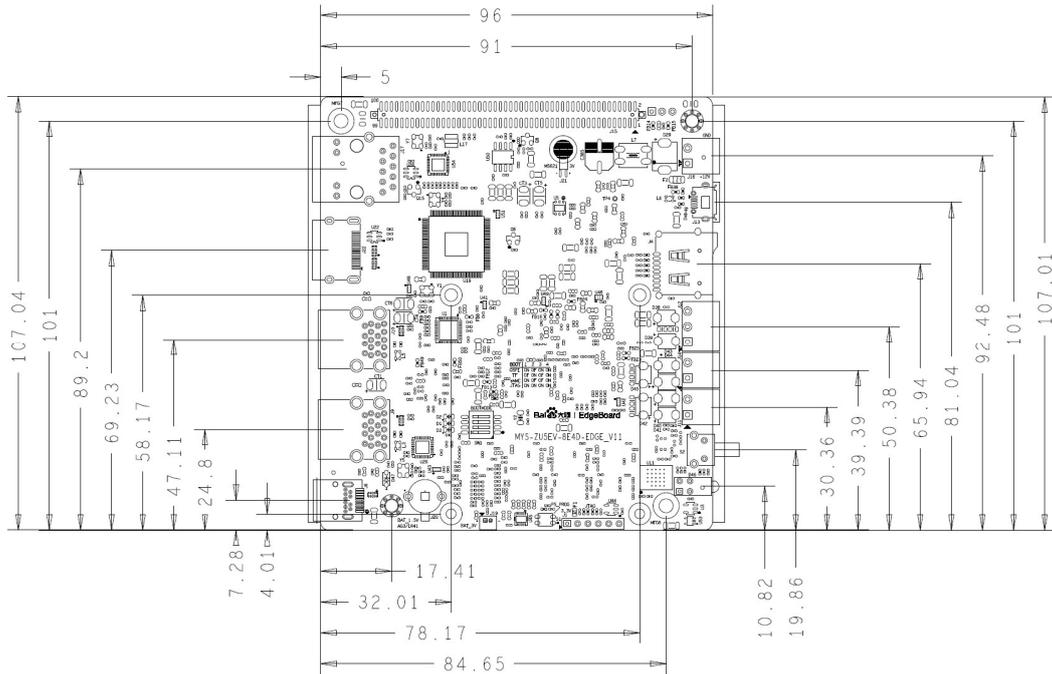
-计算盒



电气参数:

- 工作温度:
 - 工业级: $-40^{\circ}\text{C} \sim +70^{\circ}\text{C}$
- 工作湿度: 20%~90%, 非冷凝
- 电源供电:
 - 整板: 12V/3A
 - RTC 电池: 1.5V/3V
- PCB 板层:
 - 14 层, 沉金工艺, 无铅
- 机械尺寸:
 - 盒子: 120 x 100 x 50 mm
 - 挂架: 135 x 75 mm
 - 安装孔: M3 螺丝, 最大 6mm 外径

计算板



电气参数:

- 工作温度:
 - 工业级: $-40^{\circ}\text{C} \sim +70^{\circ}\text{C}$
- 工作湿度: 20%~90%, 非冷凝
- 电源供电:
 - 整板: 12V/3A
 - RTC 电池: 1.5V/3V
- PCB 板层:
 - 14 层, 沉金工艺, 无铅
- 机械尺寸:
 - PCB: 107 x 96 mm
 - 风扇: 60 mm x 52 mm
 - PCB 安装孔: M3 螺丝, 最大 6mm 外径

附录一 售后服务与技术支持

凡是通过米尔科技直接购买或经米尔科技授权的正规代理商处购买的米尔科技全系列
产品，均可享受以下权益：

- 1、6 个月免费保修服务周期
- 2、终身免费技术支持服务
- 3、终身维修服务
- 4、免费享有所购买产品配套的软件升级服务
- 5、免费享有所购买产品配套的软件源代码，以及米尔科技开发的部分软件源代码
- 6、可直接从米尔科技购买主要芯片样品，简单、方便、快速；免去从代理商处购买时，
漫长的等待周期
- 7、自购买之日起，即成为米尔科技永久客户，享有再次购买米尔科技任何一款软硬件产
品的优惠政策
- 8、OEM/ODM 服务

如有以下情况之一，则不享有免费保修服务：

- 1、超过免费保修服务周期
- 2、无产品序列号或无产品有效购买单据
- 3、进液、受潮、发霉或腐蚀
- 4、受撞击、挤压、摔落、刮伤等非产品本身质量问题引起的故障和损坏
- 5、擅自改造硬件、错误上电、错误操作造成的故障和损坏
- 6、由不可抗拒自然因素引起的故障和损坏

产品返修：用户在使用过程中由于产品故障、损坏或其他异常现象，在寄回维修之
前，请先致电米尔科技客服部，与工程师进行沟通以确认问题，避免故障判断错误造成不
必要的运费损失及周期的耽误。

维修周期：收到返修产品后，我们将即日安排工程师进行检测，我们将在最短的时间
内维修或更换并寄回。一般的故障维修周期为 3 个工作日（自我司收到物品之日起，不计

运输过程时间)，由于特殊故障导致无法短期内维修的产品，我们会与用户另行沟通并确认维修周期。

维修费用：在免费保修期内的产品，由于产品质量问题引起的故障，不收任何维修费用；不属于免费保修范围内的故障或损坏，在检测确认问题后，我们将与客户沟通并确认维修费用，我们仅收取元器件材料费，不收取维修服务费；超过保修期限的产品，根据实际损坏的程度来确定收取的元器件材料费和维修服务费。

运输费用：产品正常保修时，用户寄回的运费由用户承担，维修后寄回给用户的费用由我司承担。非正常保修产品来回运费均由用户承担。

购买请联系：

电话：0755-25622735

传真：0755-25532724

邮箱：sales@myirtech.com

网站：www.myir-tech.com

技术支持请联系：

电话：0755-25622735

传真：0755-25532724

邮箱：support@myirtech.com

网站：www.myir-tech.com