



MYC-YT507H 产品手册

文件状态： [] 草稿 [√] 正式发布	文件标识：	MYIR-MYC-YT507H-HW-PM-ZH
	当前版本：	V1.0
	作 者：	Jacob
	创建日期：	2022-4-15
	最近更新：	2022-4-15

Copyright © 2020 - 2030 版权所有 深圳市米尔电子有限公司

版 本 历 史

版本	作者	参与者	日期	备注
V1.0	Jacob		20220415	初版

目 录

版 本 历 史.....	- 2 -
目 录.....	- 3 -
1. 概述.....	- 5 -
2. 产品介绍.....	- 8 -
2.1. 芯片资源.....	- 8 -
2.2. MYC-YT507H 主要参数.....	- 11 -
2.3. 系统框图.....	- 12 -
2.4. 标准型号.....	- 13 -
3. 引脚描述.....	- 1 -
3.1. 引脚示意图.....	- 1 -
3.2. 核心板引脚对照表.....	- 3 -
4. 电气特性.....	- 9 -
4.1. 电源.....	- 9 -
4.2. 电源功耗.....	- 10 -
4.3. GPIO 直流特性.....	- 10 -
5. 系统配置和启动.....	- 11 -
5.1. BOOT & FEL 模式设置.....	- 11 -
5.2. 特殊功能按键.....	- 11 -
6. 接口说明.....	- 12 -
6.1. SMHC 接口.....	- 12 -
6.1.1. 引脚定义.....	- 12 -
6.2. UART 接口.....	- 13 -
6.2.1. 引脚定义.....	- 13 -
6.3. USB 接口.....	- 14 -
6.3.1. 引脚定义.....	- 14 -
6.4. Ethernet 接口.....	- 15 -
6.4.1. 引脚定义.....	- 15 -
6.5. MIPI CSI 接口.....	- 16 -
6.5.1. 引脚定义.....	- 16 -

6.6. Parallel CSI 接口	- 17 -
6.6.1. 引脚定义	- 17 -
6.7. LVDS 显示接口	- 18 -
6.7.1. 引脚定义	- 18 -
6.8. HDMI 接口	- 19 -
6.8.1. 引脚定义	- 19 -
6.9. TV CVBS Output 接口	- 19 -
6.9.1. 引脚定义	- 19 -
6.10. SPDIF-OUT 接口	- 20 -
6.10.1. 引脚定义	- 20 -
6.11. I2S 接口	- 20 -
6.11.1. 引脚定义	- 20 -
6.12. Line Out 接口	- 20 -
6.12.1. 引脚定义	- 20 -
6.13. GPIO 接口	- 21 -
6.13.1. 引脚定义	- 21 -
6.14. ADC 接口	- 21 -
6.14.1. 引脚定义	- 21 -
7. 封装信息	- 23 -
7.1. 机械尺寸	- 23 -
7.2. 底板 PCB 封装	- 24 -
7.3. 底板 PCB 要求	- 25 -
8. 贴装和储存要求	- 26 -
8.1. 钢网设计	- 26 -
8.2. 储存要求	- 26 -
8.3. 烘烤方式	- 26 -
8.4. 焊接工艺	- 26 -
附录一 联系我们	- 27 -
附录二 售后服务与技术支持	- 28 -

1. 概述

全志科技 T5 系列是一个高性能四核 Cortex™-A53 处理器，适用于新一代汽车市场。T5 系列符合汽车 AEC – Q100 测试要求。该芯片集成四核 Cortex™-A53 CPU、G31 MP2 GPU、32 位 DDR3/LPDDR3/DDR4/LRDDR4 动态随机存储器，多路视频输出接口（RGB/2*LVDS/HDMI/CVBS OUT）、多路视频输入接口（MIPI CSI/BT656/BT1120）。该芯片支持 4K@60fps H.265 解码，4K@60fps VP9 解码，4K@60fps AVS2 解码，4K@25fps H.264 编码，3D 降噪以及自动调色系统和梯形校正模块可以提供流畅的用户体验和专业的视觉效果。

MYC-YT507H 核心板基于 T507-H 处理器研制，拥有良好的软件开发环境，内核支持开源操作系统 Linux。MYC-YT507H 同时具有丰富的接口资源。关于上述资料，您可以随时前往以下地址进行下载：<http://down.myir-tech.com/MYD-YT507H>

在开发阶段，建议配合核心板配套的评估套件 MYD-YT507H 来加速开发。评估套件的详细信息请访问：<http://www.myir-tech.com/product>

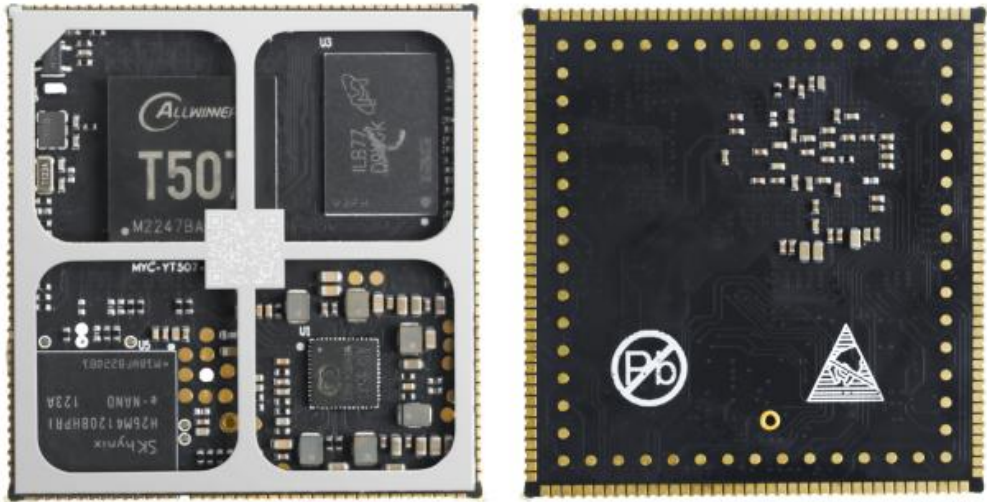


图 1-1 MYC-YT507H 核心板

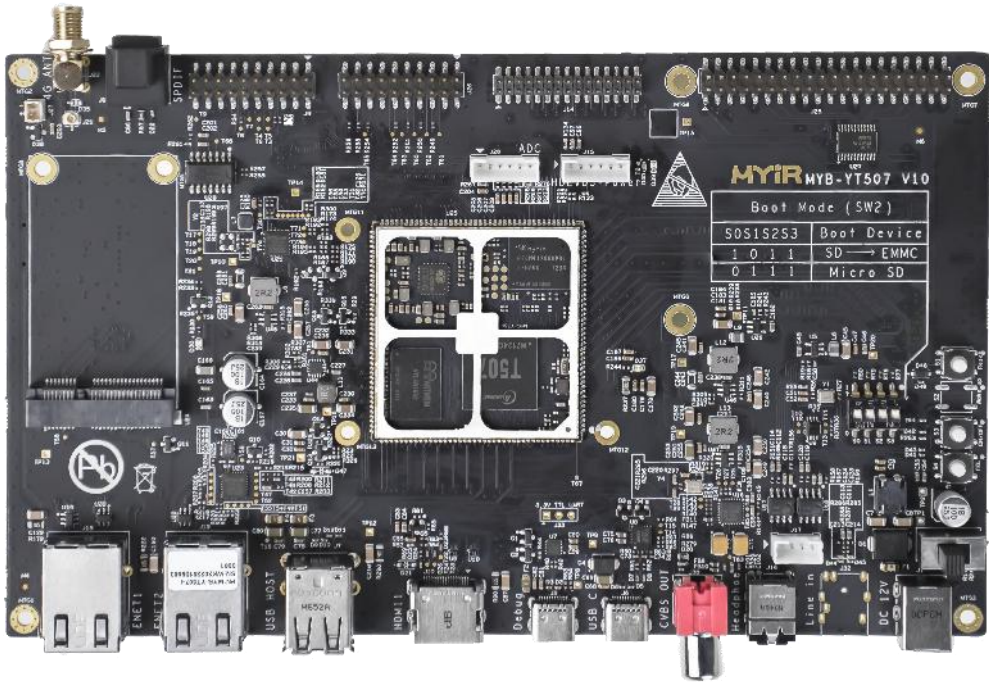


图 1-2 MYD-YT507H 评估套件正面

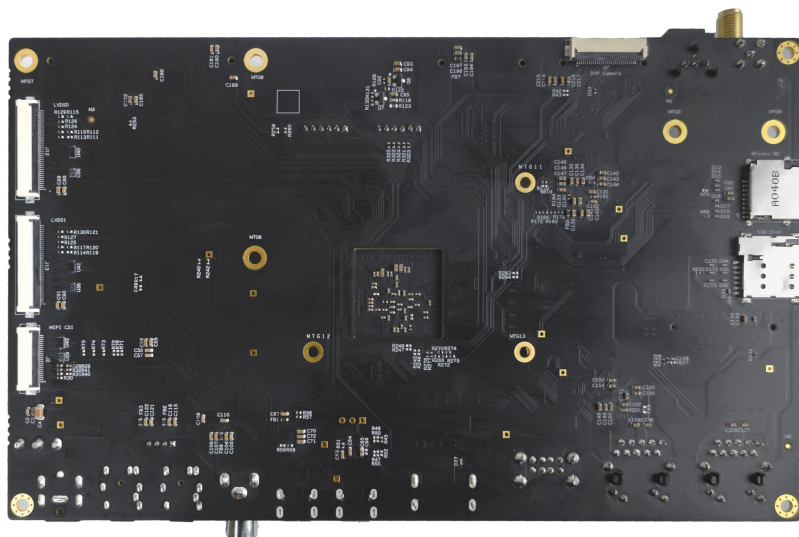


图 1-3 MYD-YT507H 评估套件背面

2. 产品介绍

MYC-YT507H 核心板采用 SMD 封装形式贴片（邮票孔+背面焊盘）。标准配置有 4 种产品型号。它们在存储配置、温度等方面有一些差异，客户可根据需求自行选择合适的型号。产品型号间的差异，请参见 2.4 章节的说明。

2.1. 芯片资源

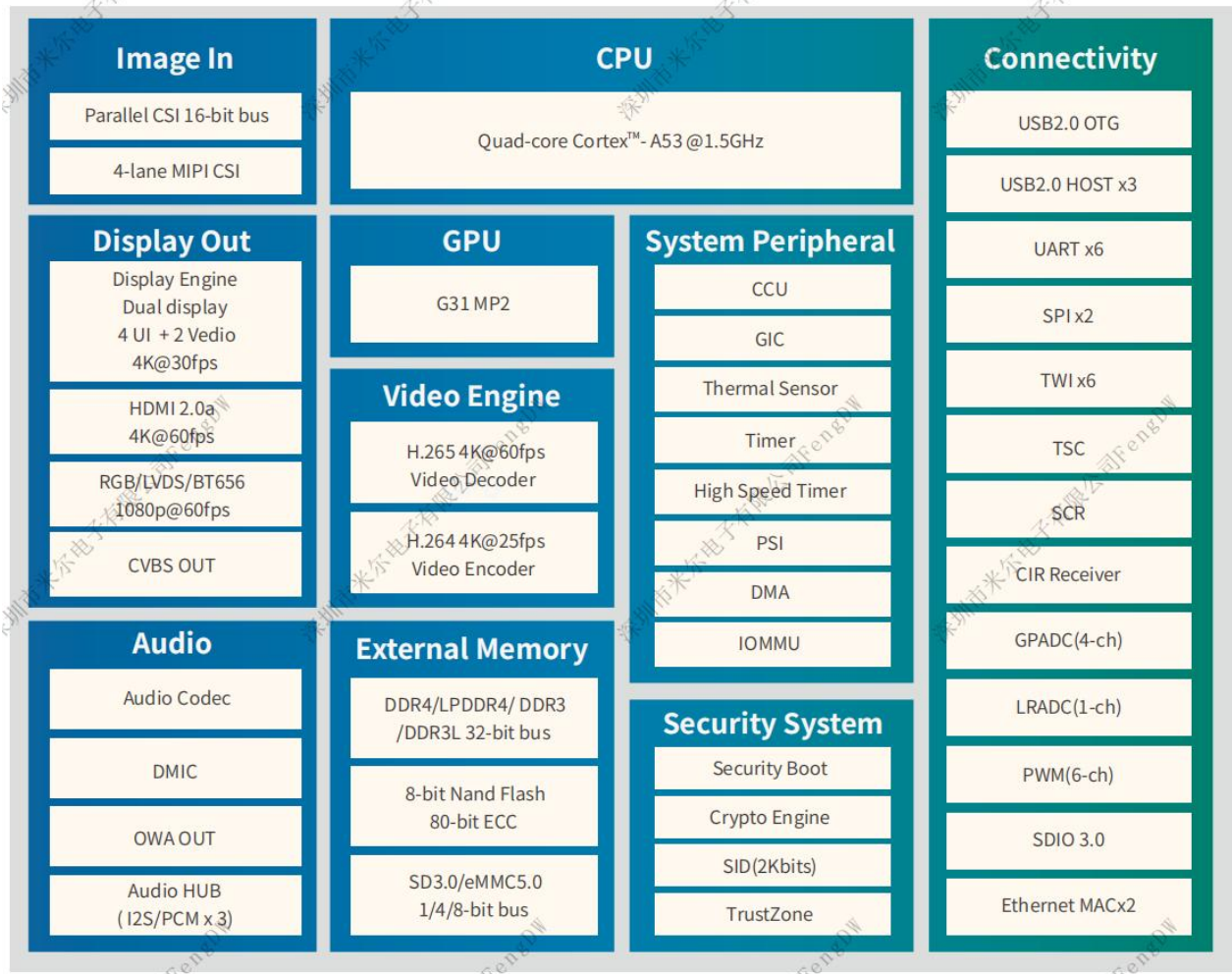


图 2-1 T507-H 资源框图

资源	参数描述
CPU	<ul style="list-style-type: none"> Quad-core ARM Cortex™-A53@1.5Ghz
GPU	<ul style="list-style-type: none"> G31 MP2 Supports OpenGL ES 3.2/2.0/1.0,Vulkan 1.1, OpenCL 2.0
外部存储	<ul style="list-style-type: none"> 32-bit DDR4/DDR3/DDR3L/LPDDR3/LPDDR4 interface, supporting maximum capacity of 4GB SD3.0/eMMC5.0 interface

	<ul style="list-style-type: none"> ● 8-bit Nand flash interface with maximum 80-bit/1KB ECC
视频引擎	<p>Video decoder</p> <ul style="list-style-type: none"> ● H.265 MP decoder up to 4K@60fps ● H.264 BL/MP/HP decoder up to 4K@30fps ● VP9 decoder up to 4K@60fps ● AVS2 decoder up to 4K@60fps ● Multi-format 1080p@60fps video playback, including VP8, MPEG1/2 SP/MP, MPEG4 SP/ASP, ● AVS+/AVS JIZHUN, VC1 SP/MP <p>Video encoder</p> <ul style="list-style-type: none"> ● H.264 encoder up to 4K@25fps ● MJPEG encoder up to 4K@15fps ● JPEG encoder up to 8K x 8K resolution
视频输入	<ul style="list-style-type: none"> ● Supports one 8-/10-/12-/16-bit digital camera(DC) interface ● Maximum pixel clock of 148.5MHz for each DC interface ● BT656,BT1120 video input for multichannel YUV ● Four-lane MIPI CSI, up to 1Gbps per lane in HS transmission, compliant with MIPI-CSI2 V1.00 and MIPI DPHY V1.00 ● Maximum video capture resolution of 8M@30fps or 4x 1080p@25fps for MIPI CSI ● Supports formats:YUV422,YUV420,RAW-8,RAW-10,RAW-12
音频	<ul style="list-style-type: none"> ● Two DAC channels ● Supports 1 audio output interface (differential LINEOUTP/N or single-end LINEOUTL/LINEOUTR) ● One Audio HUB, supporting internal mixing function ● Embedded 3 I2S/PCM for connecting the external devices (I2S0 for extended audio codec, I2S2 for BT, I2S3 for digital power amplifier) ● Supports Left-justified, Right-justified, Standard I2S mode, PCM mode, and TDM mode ● I2S mode supports 8 channels, and 32-bit/192kbit sample rate ● I2S and TDM-modes support maximum 16 channels, and 32-bit/96kbit sample rate ● One OWA OUT interface, supporting 16-/20-/24-bit outputs ● Integrated digital microphone, supporting maximum 8 digital PDM microphones
显示输出	<ul style="list-style-type: none"> ● HDMI 2.0a up to 4K@60fps ● TV CVBS output, supporting PAL/NTSC ● LVDS interface with dual link, up to 1080p@60fps ● RGB interface with DE/SYNC mode, up to 1080p@60fps
安全引擎	<ul style="list-style-type: none"> ● Supports Full Disk Encryption ● AES, DES, 3DES, and XTS encryption and decryption algorithms ● MD5, SHA, and HMAC tamper proofing

	<ul style="list-style-type: none"> ● RSA, ECC signature and verification algorithms ● Supports 160-bit hardware pseudo random number generator(PRNG) with 175-bit seed ● Supports 256-bit hardware true random number generator(TRNG) ● Integrated 2K-bit EFUSE for chip ID and security application
连接	<ul style="list-style-type: none"> ● 3 x USB2.0 Host, 1 x USB2.0 OTG ● 2 x Ethernet MAC (one 10/100 Mbps Ethernet port with RMII interface, one 10/100/1000 Mbps Ethernet port with RGMII and RMII interfaces) ● SDIO 3.0, TSC, SCR, CIR Receiver ● 6 x TWI, 2 x SPI, 6 x UART ● 6-ch PWM, 4-ch GPADC. 1-ch LRADC
PMIC	<ul style="list-style-type: none"> ● Companion Allwinner Power Management IC
封装	<ul style="list-style-type: none"> ● TFBGA 421balls ● 15 mm x 15 mm size, 0.65 mm ball pitch, 0.35 mm ball size
制程工艺	<ul style="list-style-type: none"> ● 28nm HPC

表 2-1 T507-H 资源

详细资料请参考芯片手册。

2.2. MYC-YT507H 主要参数

名称	主要参数
主控芯片系列	T5 Series
主控芯片型号	T507-H
处理器规格	4 核 ARM Cortex™-A53
内存	LPDDR4 1GB/2GB
存储器	EMMC 8GB （其他容量可选）
核心板尺寸	43 x 45 x 3.5 mm(带屏蔽骨架)
接口类型	SMD 贴片，邮票孔+LGA
PCB 板规格	10 层板设计，沉金工艺
操作系统	Linux 4.9

表 2-2 主要参数

2.3. 系统框图

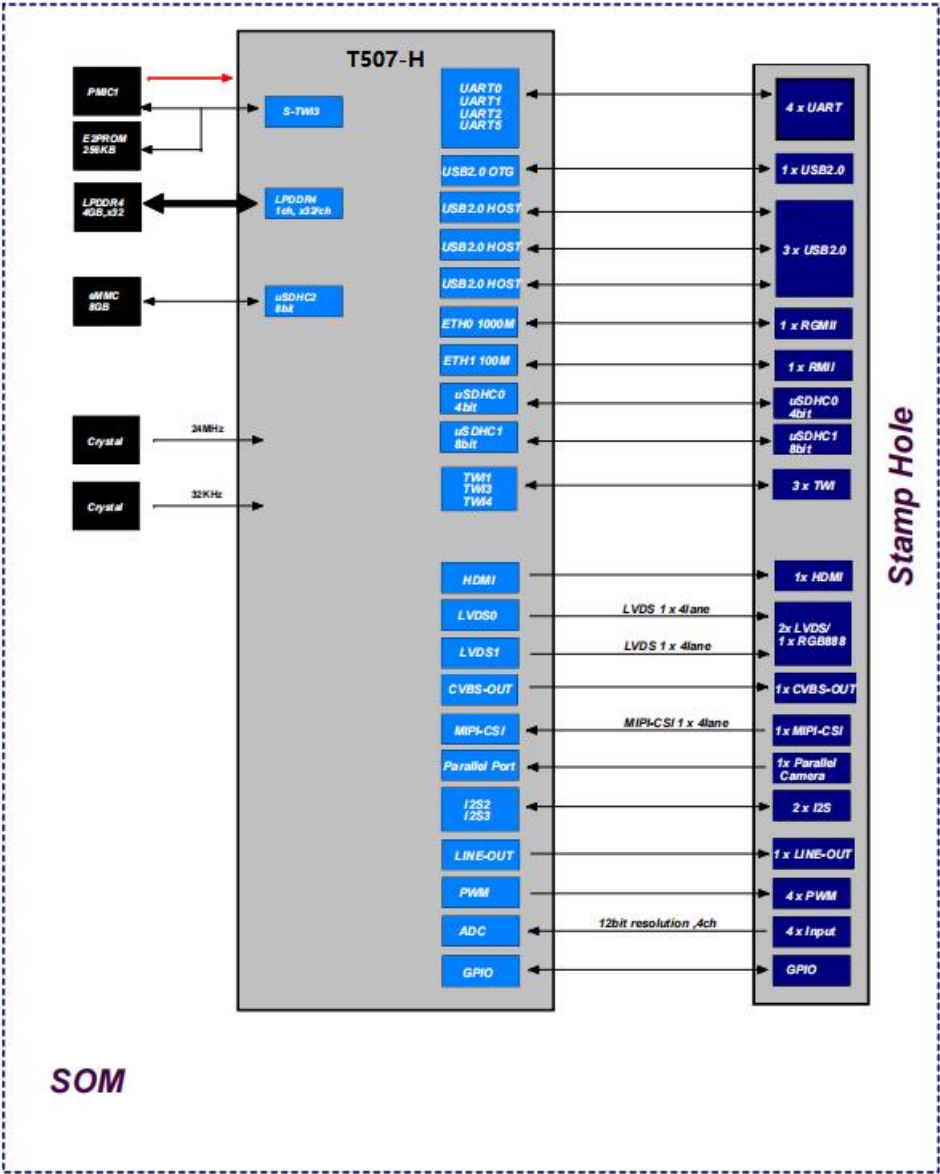


图 2-2 MYC-YT507H 核心板系统框图

2.4. 标准型号

根据核心板存储器件、工作温度等参数的不同，MYC-YT507H 核心板细分为 4 种型号，请从以下列表中选择最适合您的型号。

型号 规格	MYC-YT507H-8E1D-150-I	MYC-YT507H-8E1D-150-C
主芯片	T507-H	T507-H
主芯片系列	T5 Series	T5 Series
内核	4 核 Cortex™-A53	4 核 Cortex™-A53
主频	1.5Ghz	1.5Ghz
操作系统	Linux 4.9	Linux 4.9
内存	1GB LPDDR4	1GB LPDDR4
存储器	8GB eMMC	8GB eMMC
视频输入	1 路 DVP 摄像头输入 1 路 MIPI CSI 输入	1 路 DVP 摄像头输入 1 路 MIPI CSI 输入
显示输出	1 路 HDMI 2.0a, 支持 4K@60fps 1 路 TV CVBS output,支持 PAL/NTSC 2 路 LVDS 或 1 路高清 LVDS 或 RGB888,最大支持 1080p@60fps	1 路 HDMI 2.0a, 支持 4K@60fps 1 路 TV CVBS output,支持 PAL/NTSC 2 路 LVDS 或 1 路高清 LVDS 或 RGB888,最大支持 1080p@60fps
触摸屏	支持电容屏 支持四线式电阻屏（需外加触摸芯片）	支持电容屏 支持四线式电阻屏（需外加触摸芯片）
UART	6 路(最高)	6 路(最高)
CAN	不支持	不支持
USB2.0	3 路 USB Host +1 路 USB OTG	3 路 USB Host +1 路 USB OTG
以太网	1 路 RGMII +1 路 RMII	1 路 RGMII +1 路 RMII
I2C	6 路 (最高)	6 路 (最高)
SPI	2 路(最高)	2 路(最高)
GPIO	138	138
ADC	5 路	5 路
供电电压	+5V	+5V
机械尺寸	43 x 45 x 3.5 mm	43 x 45 x 3.5 mm
工作温度	-40°C - +85°C	0°C - +70°C
封装引脚数	邮票孔+LGA 共 222 PIN	邮票孔+LGA 共 222 PIN
相关认证	CE ROHS	CE ROHS

表 2-3 MYC-YT507H 核心板选型表 1

型号规格	MYC-YT507H-8E2D-150-I	MYC-YT507H-8E2D-150-C
主芯片	T507-H	T507-H
主芯片系列	T5 Series	T5 Series
内核	4 核 CortexTM-A53	4 核 CortexTM-A53
主频	1.5Ghz	1.5Ghz
操作系统	Linux 4.9	Linux 4.9
内存	2GB LPDDR4	2GB LPDDR4
存储器	8GB eMMC	8GB eMMC
显示分辨率	1 路 DVP 摄像头输入 1 路 MIPI CSI 输入	1 路 DVP 摄像头输入 1 路 MIPI CSI 输入
显示接口	1 路 HDMI 2.0a, 支持 4K@60fps 1 路 TV CVBS output,支持 PAL/NTSC 2 路 LVDS 或 1 路高清 LVDS 或 RGB888,最大支持 1080p@60fps	1 路 HDMI 2.0a, 支持 4K@60fps 1 路 TV CVBS output,支持 PAL/NTSC 2 路 LVDS 或 1 路高清 LVDS 或 RGB888,最大支持 1080p@60fps
触摸屏	支持电容屏 支持四线式电阻屏（需外加触摸芯片）	支持电容屏 支持四线式电阻屏（需外加触摸芯片）
UART	6 路(最高)	6 路(最高)
CAN-bus	不支持	不支持
USB OTG	3 路 USB Host +1 路 USB OTG	3 路 USB Host +1 路 USB OTG
以太网	1 路 RGMII +1 路 RMII	1 路 RGMII +1 路 RMII
I2C	6 路 (最高)	6 路 (最高)
SPI	2 路(最高)	2 路(最高)
GPIO	138	138
AD	5 路	5 路
供电电压	+5V	+5V
机械尺寸	43 x 45 x 3.5 mm	43 x 45 x 3.5 mm
工作温度	-40℃ - +85℃	0℃ - +70℃
封装引脚数	邮票孔+LGA 共 222 PIN	邮票孔+LGA 共 222 PIN
相关认证	CE ROHS	CE ROHS

表 2-4 MYC-YT507H 核心板选型表 2

3. 引脚描述

3.1. 引脚示意图

MYC-YT507H 核心板以 SMD 贴片的形式焊接在底板，管脚包含邮票孔以及背面焊盘。底板封装设计请参考 7.2 章节的说明。

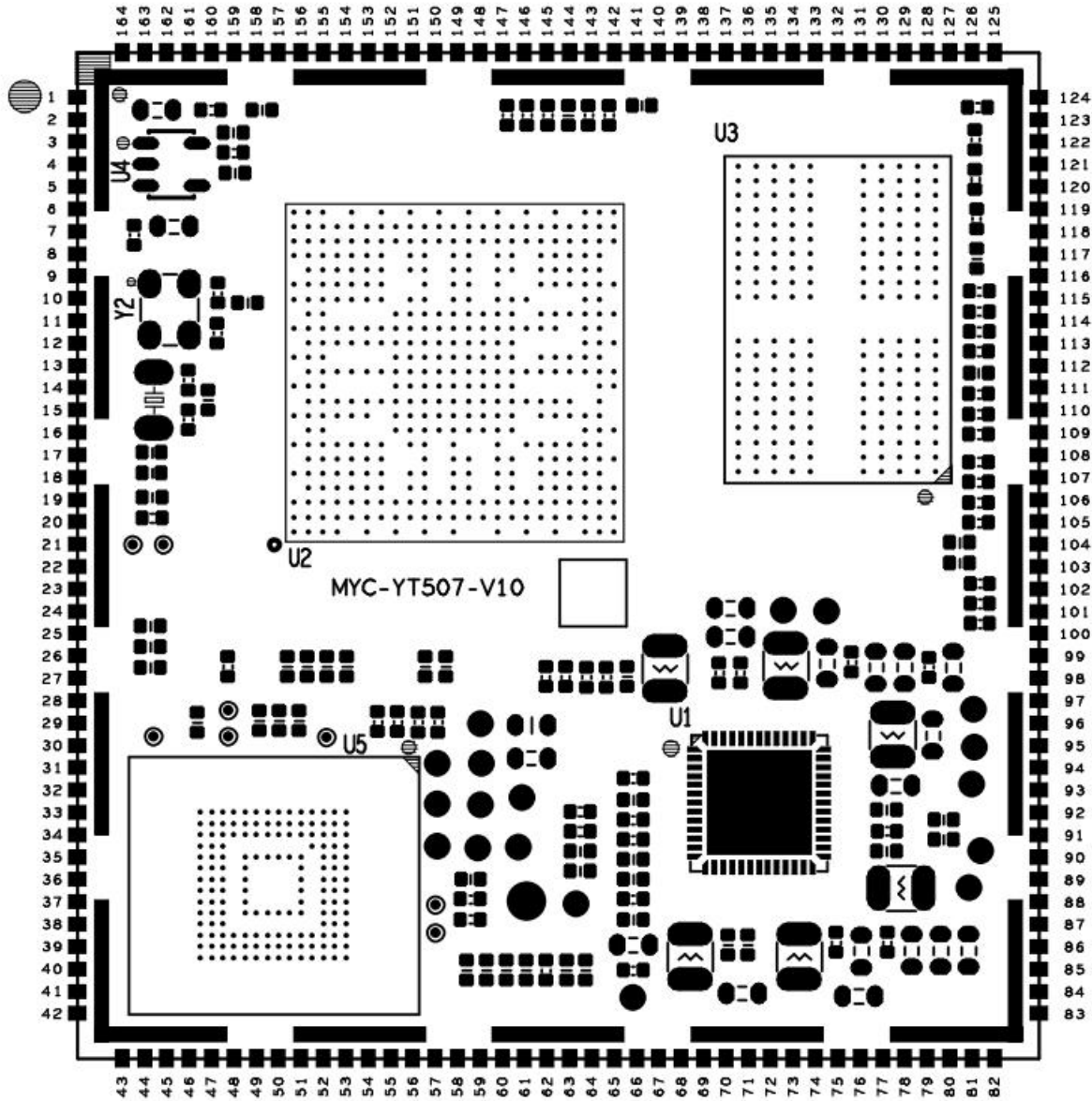


图 3-1 模块正面图

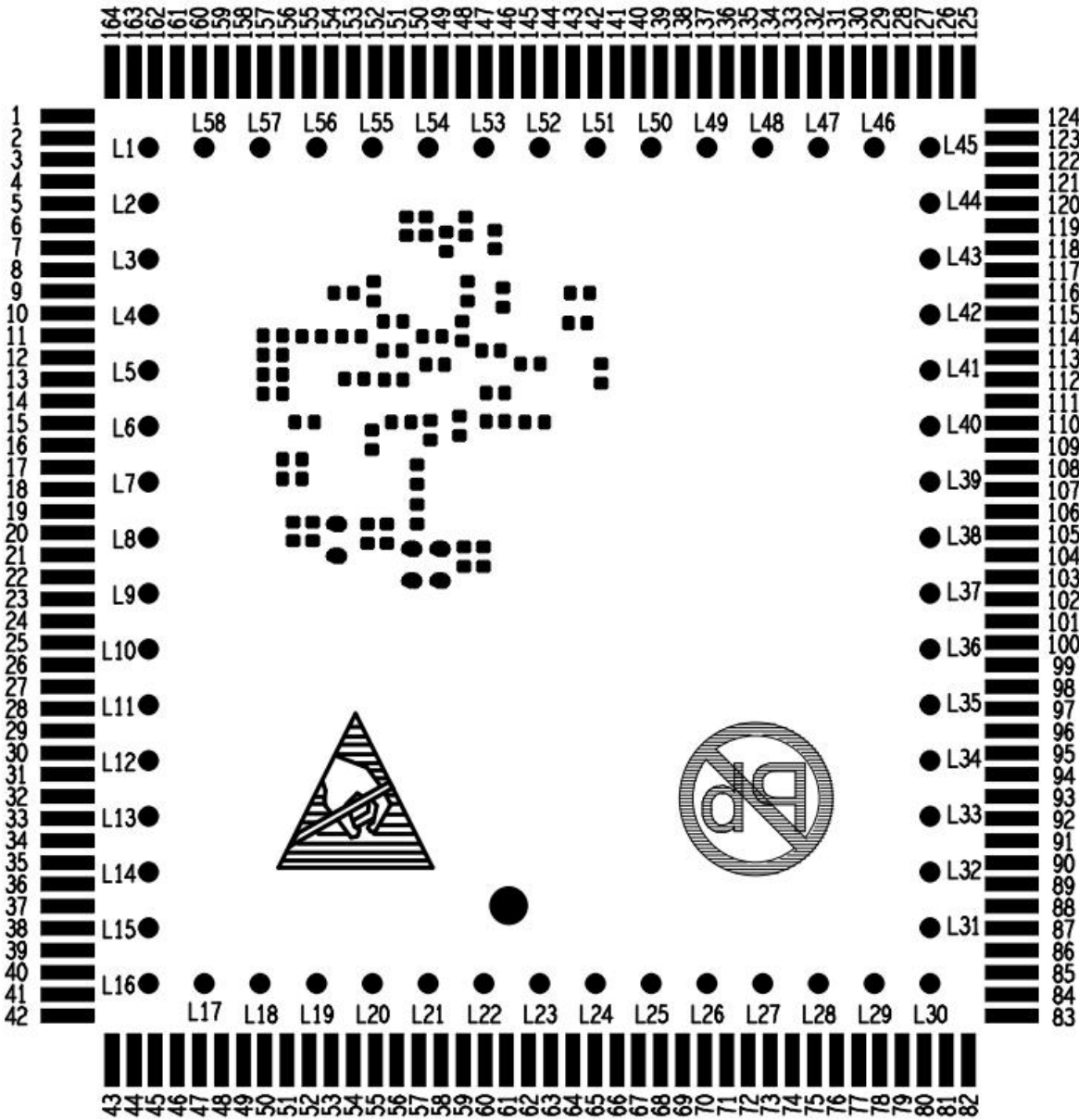


图 3-2 模块反面图

3.2. 核心板引脚对照表

MYC-YT507H 核心板接口引脚定义如下表所示，BSP 开发包的引脚功能均按下表的“默认功能”作了配置，如需改动管脚默认功能，请修改相关驱动配置代码，否则会出现驱动冲突等不确定异常情况。

核心板 Pin 序	核心板 Pin 网络名	默认功能	功能描述	电压	输入/输出	备注
1	VSOM-5V	VSOM-5V	核心板供电输入电压	5V	输入	
2	VSOM-5V	VSOM-5V	核心板供电输入电压	5V	输入	
3	VSOM-5V	VSOM-5V	核心板供电输入电压	5V	输入	
4	VSOM-5V	VSOM-5V	核心板供电输入电压	5V	输入	
5	VSOM-3V3	VSOM-3V3	输出电压	3.3V	输出	
6	VSOM-3V3	VSOM-3V3	输出电压	3.3V	输出	
7	VCC-USB2-3V3	VCC-USB2-3V3	USB2 可以支持待机唤醒	3.3V	输出	设计底板此管脚保留不使用
8	GND	GND	电源、信号地	0V		
9	CPU-RESET	CPU-RESET	低电平产生复位	1.8V	输入	设计底板不需外部上拉
10	CPU-ONOFF	CPU-ONOFF	外接按键， 长按待机，短按运行	1.8V	输入	
11	PMIC-WAKEUP	NC		—	—	设计底板此管脚保留不使用
12	GND	GND	电源、信号地	0V	—	
13	LVDS1-D1N	LVDS1-D1N	LVDS1 差分数据 1-	3.3V	输出	可以复用 RGB 接口
14	LVDS1-D1P	LVDS1-D1P	LVDS1 差分数据 1+	3.3V	输出	可以复用 RGB 接口
15	GND	GND	电源、信号地			
16	LVDS1-D3N	LVDS1-D3N	LVDS1 差分数据 3-	3.3V	输出	可以复用 RGB 接口
17	LVDS1-D3P	LVDS1-D3P	LVDS1 差分数据 3+	3.3V	输出	可以复用 RGB 接口
18	GND	GND	电源、信号地	0V	—	
19	LVDS1-D2N	LVDS1-D2N	LVDS1 差分数据 2-	3.3V	输出	可以复用 RGB 接口
20	LVDS1-D2P	LVDS1-D2P	LVDS1 差分数据 2+	3.3V	输出	可以复用 RGB 接口
21	GND	GND	电源、信号地	0V	—	
22	LVDS1-CLKN	LVDS1-CLKN	LVDS1 差分时钟-	3.3V	输出	可以复用 RGB 接口
23	LVDS1-CLKP	LVDS1-CLKP	LVDS1 差分时钟+	3.3V	输出	可以复用 RGB 接口
24	GND	GND	电源、信号地	0V	—	
25	LVDS1-D0N	LVDS1-D0N	LVDS1 差分数据 0-	3.3V	输出	可以复用 RGB 接口
26	LVDS1-D0P	LVDS1-D0P	LVDS1 差分数据 0+	3.3V	输出	可以复用 RGB 接口
27	GND	GND	电源、信号地	0V	—	
28	LVDS0-D2N	LVDS0-D2N	LVDS0 差分数据 2-	3.3V	输出	可以复用 RGB 接口
29	LVDS0-D2P	LVDS0-D2P	LVDS0 差分数据 2+	3.3V	输出	可以复用 RGB 接口
30	GND	GND	电源、信号地	0V	—	
31	LVDS0-D1N	LVDS0-D1N	LVDS0 差分数据 1-	3.3V	输出	可以复用 RGB 接口
32	LVDS0-D1P	LVDS0-D1P	LVDS0 差分数据 1+	3.3V	输出	可以复用 RGB 接口
33	GND	GND	电源、信号地	0V	—	
34	LVDS0-D0N	LVDS0-D0N	LVDS0 差分数据 0-	3.3V	输出	可以复用 RGB 接口
35	LVDS0-D0P	LVDS0-D0P	LVDS0 差分数据 0+	3.3V	输出	可以复用 RGB 接口

核心板 Pin 序	核心板 Pin 网络名	默认功能	功能描述	电压	输入/输出	备注
36	GND	GND	电源、信号地	0V	—	
37	LVDS0-CLKN	LVDS0-CLKN	LVDS0 差分时钟-	3.3V	输出	可以复用 RGB 接口
38	LVDS0-CLKP	LVDS0-CLKP	LVDS0 差分时钟+	3.3V	输出	可以复用 RGB 接口
39	GND	GND	电源、信号地	0V	—	
40	LVDS0-D3N	LVDS0-D3N	LVDS0 差分数据 3-	3.3V	输出	可以复用 RGB 接口
41	LVDS0-D3P	LVDS0-D3P	LVDS0 差分数据 3+	3.3V	输出	可以复用 RGB 接口
42	GND	GND	电源、信号地	0V	—	
43	NCSI0-SCK	NCSI0-SCK	并行 CSI I2C 时钟	3.3V	输出	
44	NCSI0-SDA	NCSI0-SDA	并行 CSI I2C 数据	3.3V	输入/输出	
45	NCSI0-HSYNC	NCSI0-HSYNC	并行 CSI 行同步信号	3.3V	输入	
46	NCSI0-D7	NCSI0-D7	并行 CSI 输入数据 7	3.3V	输入	
47	NCSI0-PCLK	NCSI0-PCLK	并行 CSI 输入像素时钟	3.3V	输入	
48	NCSI0-D6	NCSI0-D6	并行 CSI 输入数据 6	3.3V	输入	
49	NCSI0-D5	NCSI0-D5	并行 CSI 输入数据 5	3.3V	输入	
50	NCSI0-D3	NCSI0-D3	并行 CSI 输入数据 3	3.3V	输入	
51	NCSI0-D2	NCSI0-D2	并行 CSI 输入数据 2	3.3V	输入	
52	NCSI0-D4	NCSI0-D4	并行 CSI 输入数据 4	3.3V	输入	
53	NCSI0-D0	NCSI0-D0	并行 CSI 输入数据 0	3.3V	输入	
54	NCSI0-D1	NCSI0-D1	并行 CSI 输入数据 1	3.3V	输入	
55	NCSI0-VSYNC	NCSI0-VSYNC	并行 CSI 场同步信号	3.3V	输入	
56	NCSI0-D15	NCSI0-D15	并行 CSI 输入数据 15	3.3V	输入	
57	CSI-FSIN0	CSI-FSIN0	保留未使用	3.3V	输入	
58	NCSI0-D14	NCSI0-D14	并行 CSI 输入数据 14	3.3V	输入	
59	NCSI0-D13	NCSI0-D13	并行 CSI 输入数据 13	3.3V	输入	
60	NCSI0-MCLK	NCSI0-MCLK	并行 CSI 输出时钟	3.3V	输出	
61	NCSI0-D12	NCSI0-D12	并行 CSI 输入数据 12	3.3V	输入	
62	NCSI0-D11	NCSI0-D11	并行 CSI 输入数据 11	3.3V	输入	
63	NCSI0-D10	NCSI0-D10	并行 CSI 输入数据 10	3.3V	输入	
64	NCSI0-D9	NCSI0-D9	并行 CSI 输入数据 9	3.3V	输入	
65	NCSI0-D8	NCSI0-D8	并行 CSI 输入数据 8	3.3V	输入	
66	GND	GND	电源、信号地	0V	—	
67	RGMII-MDC	RGMII-MDC	RGMII 管理数据时钟	3.3V	输出	
68	RGMII-RXD1	RGMII-RXD1	RGMII 接收数据 1	3.3V	输入	
69	GPHY_RST	GPHY_RST	用于复位外接 PHY 芯片	3.3V	输出	
70	RGMII-RXCTL	RGMII-RXCTL	RGMII 接收数据有效	3.3V	输入	
71	RGMII-RXD2	RGMII-RXD2	RGMII 接收数据 2	3.3V	输入	
72	RGMII-RXD0	RGMII-RXD0	RGMII 接收数据 0	3.3V	输入	
73	GND	GND	电源、信号地	0V	—	
74	RGMII-CLKIN-125M	RGMII-CLKIN-125M	RGMII MAC 参数时钟输入	3.3V	输入	
75	GND	GND	电源、信号地	0V	—	
76	RGMII-RXD3	RGMII-RXD3	RGMII 接收数据 3	3.3V	输入	
77	RGMII-RXCK	RGMII-RXCK	RGMII 接收时钟	3.3V	输入	
78	RGMII-MDIO	RGMII-MDIO	RGMII 管理数据输入/输出	3.3V	输入/输出	

核心板 Pin 序	核心板 Pin 网络名	默认功能	功能描述	电压	输入/输出	备注
79	GPHY-CLK-25M	GPHY-CLK-25M	25Mhz 时钟输出	3.3V	输出	
80	RGMII-TXD1	RGMII-TXD1	RGMII 发送数据 1	3.3V	输出	
81	RGMII-TXD3	RGMII-TXD3	RGMII 发送数据 3	3.3V	输出	
82	RGMII-TXCTL	RGMII-TXCTL	RGMII 发送控制	3.3V	输出	
83	NC	NC				
84	GND	GND	电源、信号地	0V	—	
85	RGMII-TXCK	RGMII-TXCK	RGMII 发送时钟	3.3V	输出	
86	GND	GND	电源、信号地	0V	—	
87	RGMII-TXD0	RGMII-TXD0	RGMII 发送数据 0	3.3V	输出	
88	RGMII-TXD2	RGMII-TXD2	RGMII 发送数据 2	3.3V	输出	
89	GND	GND	电源、信号地	0V	—	
90	SDIO0-D2	SDIO0-D2	SDIO0 数据 2	3.3V	输入/输出	
91	SDIO0-CMD	SDIO0-CMD	SDIO0 命令	3.3V	输出	
92	SDIO0-D1	SDIO0-D1	SDIO0 数据 1	3.3V	输入/输出	
93	SDIO0-CLK	SDIO0-CLK	SDIO0 时钟	3.3V	输出	
94	SDIO1-D3	SDIO1-D3	SDIO1 数据	3.3V	输入/输出	
95	SDIO1-D1	SDIO1-D1	SDIO1 数据	3.3V	输入/输出	
96	SDIO0-D3	SDIO0-D3	SDIO0 数据 3	3.3V	输入/输出	
97	SDIO0-D0	SDIO0-D0	SDIO0 数据 0	3.3V	输入/输出	
98	SDIO1-CLK	SDIO1-CLK	SDIO1 时钟	3.3V	输出	
99	SDIO1-D2	SDIO1-D2	SDIO1 数据 2	3.3V	输入/输出	
100	SDIO1-CMD	SDIO1-CMD	SDIO1 命令	3.3V	输出	
101	SDIO1-D0	SDIO1-D0	SDIO1 数据 0	3.3V	输入/输出	
102	SDIO0-DET	SDIO0-DET	SDIO0 卡插拔检测	3.3V	输入	
103	GND	GND	电源、信号地	0V	—	
104	MCSI-MCLK	MCSI-MCLK	MIPI CSI 基础时钟输出	-	输出	
105	MCSI-SDA	MCSI-SDA	MIPI CSI I2C 数据	-	输入/输出	
106	MCSI-SCK	MCSI-SCK	MIPI CSI I2C 时钟	-	输出	
107	GND	GND	电源、信号地	0V	—	
108	MCSI-CLKP	MCSI-CLKP	MIPI CSI 差分时钟+	-	输入	
109	MCSI-CLKN	MCSI-CLKN	MIPI CSI 差分时钟-	-	输入	
110	GND	GND	电源、信号地	0V	—	
111	MCSI-D0P	MCSI-D0P	MIPI CSI 差分数据 0+	-	输入	
112	MCSI-D0N	MCSI-D0N	MIPI CSI 差分数据 0-	-	输入	
113	GND	GND	电源、信号地	0V	—	
114	MCSI-D1P	MCSI-D1P	MIPI CSI 差分数据 1+	-	输入	
115	MCSI-D1N	MCSI-D1N	MIPI CSI 差分数据 1-	-	输入	
116	GND	GND	电源、信号地	0V	—	
117	MCSI-D2P	MCSI-D2P	MIPI CSI 差分数据 2+	-	输入	
118	MCSI-D2N	MCSI-D2N	MIPI CSI 差分数据 2-	-	输入	
119	GND	GND	电源、信号地	0V	—	
120	MCSI-D3P	MCSI-D3P	MIPI CSI 差分数据 3+	-	输入	
121	MCSI-D3N	MCSI-D3N	MIPI CSI 差分数据 3-	-	输入	
122	GND	GND	电源、信号地	0V	—	

核心板 Pin 序	核心板 Pin 网络名	默认功能	功能描述	电压	输入/输出	备注
123	TV-OUT	TV-OUT	模拟视频输出	0~1.8V	输出	
124	GND	GND	电源、信号地	0V	—	
125	HDMI-CEC	HDMI-CEC	HDMI CEC 信号	1.8V	输入/输出	
126	HDMI-SDA	HDMI-SDA	HDMI 串行数据	1.8V	输入/输出	
127	HDMI-SCL	HDMI-SCL	HDMI 串行时钟	1.8V	输出	
128	HDMI-HPD	HDMI-HPD	HDMI 热插拔信号	1.8V	输入	
129	GND	GND	电源、信号地	0V	—	
130	HTXCP	HTXCP	HDMI TMDS 差分时钟信号 +	-	输出	
131	HTXCN	HTXCN	HDMI TMDS 差分时钟信号 -	-	输出	
132	GND	GND	电源、信号地	0V	—	
133	HTX1P	HTX1P	HDMI TMDS 差分数据 1+	-	输出	
134	HTX1N	HTX1N	HDMI TMDS 差分数据 1-	-	输出	
135	GND	GND	电源、信号地	0V	—	
136	HTX0P	HTX0P	HDMI TMDS 差分数据 0+	-	输出	
137	HTX0N	HTX0N	HDMI TMDS 差分数据 0-	-	输出	
138	GND	GND	电源、信号地	0V	—	
139	HTX2P	HTX2P	HDMI TMDS 差分数据 2+	-	输出	
140	HTX2N	HTX2N	HDMI TMDS 差分数据 2-	-	输出	
141	GND	GND	电源、信号地	0V	—	
142	USB0-DN	USB0-DN	USB0 差分信号-	-	输入/输出	
143	USB0-DP	USB0-DP	USB0 差分信号+	-	输入/输出	
144	GND	GND	电源、信号地	0V	—	
145	USB1-DN	USB1-DN	USB1 差分信号-	-	输入/输出	
146	USB1-DP	USB1-DP	USB1 差分信号+	-	输入/输出	
147	GND	GND	电源、信号地	0V	—	
148	USB2-DN	USB2-DN	USB2 差分信号-	-	输入/输出	
149	USB2-DP	USB2-DP	USB2 差分信号+	-	输入/输出	
150	GND	GND	电源、信号地	0V	—	
151	USB3-DN	USB3-DN	USB3 差分信号-	-	输入/输出	
152	USB3-DP	USB3-DP	USB3 差分信号+	-	输入/输出	
153	GND	GND	电源、信号地	0V	—	
154	RMII-TXEN	RMII-TXEN	RMII 发送使能有效	3.3V	输出	
155	RMII-TXCK	RMII-TXCK	RMII 发送时钟	3.3V	输出	
156	RMII-RXD1	RMII-RXD1	RMII 接收数据 1	3.3V	输入	
157	RMII-CRS-RXDV	RMII-CRS-RXDV	RMII 载波侦听接收数据有效	3.3V	输入	
158	RMII-RXD0	RMII-RXD0	RMII 接收数据 0	3.3V	输入	
159	RMII-RXER	RMII-RXER	RMII 接收错误	3.3V	输入	
160	RMII-MDIO	RMII-MDIO	RMII 管理数据	3.3V	输入/输出	
161	RMII-MDC	RMII-MDC	RMII 管理时钟	3.3V	输出	
162	RMII-TXD0	RMII-TXD0	RMII 发送数据 0	3.3V	输出	
163	RMII-TXD1	RMII-TXD1	RMII 发送数据 1	3.3V	输出	

核心板 Pin 序	核心板 Pin 网络名	默认功能	功能描述	电压	输入/输出	备注
164	EPHY_RST	EPHY_RST	用于复位外接 PHY 芯片	3.3V	输出	
L1	UART5-TX	UART5-TX	UART5 发送数据	3.3V	输出	
L2	UART5-RX	UART5-RX	UART5 接收数据	3.3V	输入	
L3	UART0-TX	UART0-TX	调试串口 UART0 发送数据	3.3V	输出	
L4	UART0-RX	UART0-RX	调试串口 UART0 接收数据	3.3V	输入	
L5	UART1-TX	UART1-TX	UART1 发送数据	3.3V	输出	
L6	UART1-RX	UART1-RX	UART1 接收数据	3.3V	输入	
L7	UART1-RTS	UART1-RTS	UART1 数据请求信号	3.3V	输出	
L8	UART1-CTS	UART1-CTS	UART1 数据清除信号	3.3V	输入	
L9	UART2-TX	UART2-TX	UART2 发送数据	3.3V	输出	
L10	UART2-RX	UART2-RX	UART2 接收数据	3.3V	输入	
L11	BOOT_SEL0	BOOT_SEL0	BOOT 配置 0	1.8V	输入	
L12	BOOT_SEL1	BOOT_SEL1	BOOT 配置 1	1.8V	输入	
L13	BOOT_SEL2	BOOT_SEL2	BOOT 配置 2	1.8V	输入	
L14	BOOT_SEL3	BOOT_SEL3	BOOT 配置 3	1.8V	输入	
L15	BOOT_SEL4	BOOT_SEL4	BOOT 配置 4	1.8V	输入	
L16	FEL	FEL	外接按键用于 USB 烧录镜像	1.8V	输入	
L17	I2S2_DOUT0	I2S2_DOUT0	I2S2 数据输出	3.3V	输出	
L18	I2S2_LRCK	I2S2_LRCK	I2S2 采样同步信号	3.3V	输出	
L19	I2S2_BLCK	I2S2_BLCK	I2S2 采样位时钟	3.3V	输出	
L20	I2S2_DIN0	I2S2_DIN0	I2S2 数据输入	3.3V	输入	
L21	I2S2_MLCK	I2S2_MLCK	I2S2 主时钟输出	3.3V	输出	
L22	SPDIF-OUT	SPDIF-OUT	数字音频接口输出	3.3V	输出	
L23	LINEOUTR	LINEOUTR	模拟音频输出	-	输出	
L24	LINEOUTL	LINEOUTL	模拟音频输出	-	输出	
L25	LINEINR	LINEINR	TBD	-	-	
L26	LINEINL	LINEINL	TBD	-	-	
L27	NC	NC	保留不使用	-	-	
L28	NC	NC	保留不使用	-	-	
L29	NC	NC	保留不使用	-	-	
L30	IR-RX	GPIO	EVK 参考设计中断输入	3.3V	输出	
L31	PH8	GPIO	保留不使用	3.3V	-	
L32	PC2	GPIO	使能/禁能摄像头	1.8V	输出	
L33	PC12	GPIO	复位摄像头	1.8V	输出	
L34	PD22	GPIO	使能/禁能底板 VDD_3V3IO	3.3V	输出	
L35	PD27	GPIO	LVDS0 显示屏触摸 TP 片选	3.3V	输出	
L36	PD23	GPIO	LVDS1 显示屏触摸 TP 片选	3.3V	输出	
L37	PD25	GPIO	4G 模块复位	3.3V	输出	
L38	PD20	PD20	LVDS1 显示屏触摸 TP 使能	3.3V	输出	
L39	PC7	PC7	MIPI CSI 使能	1.8V	输出	
L40	PH9	PH9	HD-LVDS 电源使能	3.3V	输出	
L41	PD24	PD24	LVDS0 显示屏触摸 TP 使能	3.3V	输出	
L42	PD28	PD28	LVDS0 显示屏背光使能	3.3V	输出	
L43	PWM5	PWM5	HDLVDS 背光调节	3.3V	输出	

核心板 Pin 序	核心板 Pin 网络名	默认功能	功能描述	电压	输入/输出	备注
L44	PD26	PD26	GPIO 输出	3.3V	输出	
L45	PD21	PD21	GPIO 输出	3.3V	输出	
L46	NC	NC	保留不使用	-	-	
L47	GPADC3	GPADC3	通用 ADC 通道 3	0~1.8V	输入	
L48	GPADC2	GPADC2	通用 ADC 通道 2	0~1.8V	输入	
L49	GPADC1	GPADC1	通用 ADC 通道 1	0~1.8V	输入	
L50	GPADC0	GPADC0	通用 ADC 通道 0	0~1.8V	输入	
L51	LRADC0	LRADC0	低分辨率低速采样 ADC	0~1.35 V	输入	
L52	TWI3-SCK	TWI3-SCK	TWI3 时钟	3.3V	输出	
L53	TWI3-SDA	TWI3-SDA	TWI3 数据	3.3V	输入/输出	
L54	TWI4-SCK	TWI4-SCK	TWI4 时钟	3.3V	输出	
L55	TWI4-SDA	TWI4-SDA	TWI4 数据	3.3V	输入/输出	
L56	WREQIN	NC	保留不使用	-	-	
L57	USB2-EXT-IRQ	USB2-EXT-IRQ	USB2 唤醒中断	3.3V	输入	
L58	DCXO-RFCLK	NC	保留不使用	-	-	

表 3-1 MYC-YT507H 核心板 PIN LIST

4. 电气特性

4.1. 电源

为保证核心板正常工作，推荐的核心板输入电压为 $5V \pm 5\%$ ，电流 2A。核心板板载型号为 AXP853T PMIC 电源管理芯片，由 PMIC 产生多个不同电压以满足核心板系统 CPU,DDR,EMMC 等的供电。

名称	描述	备注
VDD_5V	5V 输入， 主要供应电压	推荐电压 $5V \pm 5\%$
VSOM-3V3	对外输出 3.3V,1A。	
VCC-USB2-3V3	默认输出 3.3V。外设挂载在 USB2 上，支持外设唤醒 CPU 端	

表 4-1 外部供电电压

T507-H CPU 提供的众多的 GPIO，这些 GPIO 被分组以便每组 GPIO 可以配置 3.3V 或 1.8V。用户使用 MYC-YT507H 的 GPIO 需要注意其所承受的 GPIO 电平不得超过供电电压。

可以在驱动代码里对 PMIC DCDC1,ALDO5,DCDC6 配置输出不同的电压，以便选择 GPIO 组的电源域。对于经验不足的用户，米尔建议尽量不要重新配置各组 GPIO 电压，如果确实有需要，可以对 GPIO-PE，GPIO-PI 两组电压重新配置，但一定要与外设端电平保持一致。

GPIO	供电电压	功能	PMIC 供电
GPIO-PA	3.3V	RMII	DCDC1
GPIO-PC	1.8V	eMMC	ALDO1
GPIO-PD	3.3V	LVDS	DCDC1
GPIO-PE	3.3V	DVP CSI	ALDO5 (支持单独调节电压)
GPIO-PF	3.3V	SDIO0	DCDC1
GPIO-PG	3.3V	SDIO1	DCDC1
GPIO-PH	3.3V	UART0/5	DCDC1

		IO	
GPIO-PI	3.3V	RGMII	DCDC6 (支持单独调节电压)
GPIO-PL	1.8V	VCC-RTC	RTC-LDO

表 4-2 MYC-YT507H GPIO 供电

4.2. 电源功耗

工作条件	电源电压(V)	平均电流(mA)	总功耗 (W)
空载状态	4.97	200	0.994
满载状态	4.97	400	1.998
休眠状态 (MEM)	4.97	1	0.005
休眠状态(FREEZE)	4.97	9	0.045

表 4-3 电源功耗参数

4.3. GPIO 直流特性

参数	标号	最小值	推荐值	最大值	单位	说明
高电平输入电压	V_{IH}	$0.7 \cdot V_{CCIO}$	—	$V_{CCIO} + 0.3$	V	—
低电平输入电压	V_{IL}	-0.3	—	$0.3 \cdot V_{CCIO}$	V	—
高电平输出电压	V_{OH}	$V_{CCIO} - 0.3$		V_{CCIO}	V	—
低电平输出电压	V_{OL}	0	—	0.2	V	—

表 4-4 GPIO 直流特性

5. 系统配置和启动

5.1. BOOT & FEL 模式设置

T507-H 处理器启动时会首先执行芯片内部 BROM 中的程序。BROM 启动时通过读取 BOOT_SEL[4:0]管脚进入不同的启动源。BOOT_SEL 管脚在核心板内并未增加上拉或者下拉设计,但是芯片内部默认有 15K 上拉。

BOOT_SEL[4:0]管脚配置与启动设备关系对应如下:

BOOT_SEL [4:0]	启动设备	说明
11101	Micro SD->eMMC	优先从 Micro SD 卡启动, 如未找到启动镜像则从 eMMC 启动。
11110	Micro SD	Micro SD 卡启动

表 5-1 处理器启动模式配置

5.2. 特殊功能按键

MYC-YT507H 核心板提供 3 个专用引脚, 分别是 Reset 复位和 ONOFF 以及 FEL。功能用法如表 5-2。

管脚功能	说明
CPU-RESET	用于复位核心板。低电平有效。
CPU-ONOFF	用于控制核心板休眠唤醒, 长按休眠, 短按唤醒。
FEL	FEL 在核心板上电时为低电平, 核心板即可进入 USB 下载模式, 以更新核心板的程序。

表 5-2 特殊引脚按键描述

6. 接口说明

6.1. SMHC 接口

MYC-YT507H 核心板引出 2 路 SMHC 接口，SMHC0 和 SMHC1。SMHC0 通常用于设计 Micro SD 卡信号，SMHC1 可以用于设计具有 SDIO 接口的模块之间的通信接口。

6.1.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
90	SDIO0-D2	SDIO0-D2	SDIO0 数据 2	3.3V	输入/输出	
91	SDIO0-CMD	SDIO0-CMD	SDIO0 命令	3.3V	输出	
92	SDIO0-D1	SDIO0-D1	SDIO0 数据 1	3.3V	输入/输出	
93	SDIO0-CLK	SDIO0-CLK	SDIO0 时钟	3.3V	输出	
96	SDIO0-D3	SDIO0-D3	SDIO0 数据 3	3.3V	输入/输出	
97	SDIO0-D0	SDIO0-D0	SDIO0 数据 0	3.3V	输入/输出	
102	SDIO0-DET	SDIO0-DET	SDIO0 卡插拔检测	3.3V	输入	

表 6-1 SMHC0 口 PIN 定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
94	SDIO1-D3	SDIO1-D3	SDIO1 数据	3.3V	输入/输出	
95	SDIO1-D1	SDIO1-D1	SDIO1 数据	3.3V	输入/输出	
98	SDIO1-CLK	SDIO1-CLK	SDIO1 时钟	3.3V	输出	
99	SDIO1-D2	SDIO1-D2	SDIO1 数据 2	3.3V	输入/输出	
100	SDIO1-CMD	SDIO1-CMD	SDIO1 命令	3.3V	输出	
101	SDIO1-D0	SDIO1-D0	SDIO1 数据 0	3.3V	输入/输出	

表 6-2 SMHC1 口 PIN 定义

6.2. UART 接口

MYC-YT507H 核心板拥有高达 6 路串口。由于芯片的管脚复用关系，核心板默认配置了 4 路串口，其中 UART1 带有流控制（RTS 和 CTS 信号）功能。

6.2.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
L1	UART5-TX	UART5-TX	UART5 发送数据	3.3V	输出	
L2	UART5-RX	UART5-RX	UART5 接收数据	3.3V	输入	
L3	UART0-TX	UART0-TX	调试串口 UART0 发送数据	3.3V	输出	
L4	UART0-RX	UART0-RX	调试串口 UART0 接收数据	3.3V	输入	
L5	UART1-TX	UART1-TX	UART1 发送数据	3.3V	输出	
L6	UART1-RX	UART1-RX	UART1 接收数据	3.3V	输入	
L7	UART1-RTS	UART1-RTS	UART1 数据请求信号	3.3V	输出	
L8	UART1-CTS	UART1-CTS	UART1 数据清除信号	3.3V	输入	
L9	UART2-TX	UART2-TX	UART2 发送数据	3.3V	输出	
L10	UART2-RX	UART2-RX	UART2 接收数据	3.3V	输入	

表 6-3 UART 接口 PIN 定义

6.3. USB 接口

T507-H 芯片集成了 USB2.0 Host 控制器和 USB2.0 OTG 控制器，其中 Host 控制器可以提供 3 路 USB2.0 Host 接口，OTG 控制器提供一路 USB2.0 接口。MYC-YT507H 核心板将其全部引出。请注意 USB2.0 Host 接口不能用于 OTG 接口使用。

6.3.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
142	USB0-DN	USB0-DN	USB0 差分信号-	-	输入/输出	OTG 接口
143	USB0-DP	USB0-DP	USB0 差分信号+	-	输入/输出	
145	USB1-DN	USB1-DN	USB1 差分信号-	-	输入/输出	USB1 Host
146	USB1-DP	USB1-DP	USB1 差分信号+	-	输入/输出	
148	USB2-DN	USB2-DN	USB2 差分信号-	-	输入/输出	USB2 Host
149	USB2-DP	USB2-DP	USB2 差分信号+	-	输入/输出	
151	USB3-DN	USB3-DN	USB3 差分信号-	-	输入/输出	USB3 Host
152	USB3-DP	USB3-DP	USB3 差分信号+	-	输入/输出	

表 6-4 USB 接口 PIN 定义

6.4. Ethernet 接口

MYC-YT507H 核心板提供 2 路以太网 MAC 控制器。包含 1 路 RMII 接口，1 路 RGMII 接口（支持 RMII）。设计以太网网络接口需要搭配合适的网络 PHY 芯片。

6.4.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
67	RGMII-MDC	RGMII-MDC	RGMII 管理数据时钟	3.3V	输出	底板设计千兆以太网芯片需要的信号
68	RGMII-RXD1	RGMII-RXD1	RGMII 接收数据 1	3.3V	输入	
69	GPHY_RST	GPHY_RST	用于复位外接 PHY 芯片	3.3V	输出	
70	RGMII-RXCTL	RGMII-RXCTL	RGMII 接收数据有效	3.3V	输入	
71	RGMII-RXD2	RGMII-RXD2	RGMII 接收数据 2	3.3V	输入	
72	RGMII-RXD0	RGMII-RXD0	RGMII 接收数据 0	3.3V	输入	
74	RGMII-CLKIN-125M	RGMII-CLKIN-125M	RGMII MAC 参数时钟输入	3.3V	输入	
76	RGMII-RXD3	RGMII-RXD3	RGMII 接收数据 3	3.3V	输入	
77	RGMII-RXCK	RGMII-RXCK	RGMII 接收时钟	3.3V	输入	
78	RGMII-MDIO	RGMII-MDIO	RGMII 管理数据输入/输出	3.3V	输入/输出	
79	GPHY-CLK-25M	GPHY-CLK-25M	25Mhz 时钟输出	3.3V	输出	
80	RGMII-TXD1	RGMII-TXD1	RGMII 发送数据 1	3.3V	输出	
81	RGMII-TXD3	RGMII-TXD3	RGMII 发送数据 3	3.3V	输出	
82	RGMII-TXCTL	RGMII-TXCTL	RGMII 发送控制	3.3V	输出	
85	RGMII-TXCK	RGMII-TXCK	RGMII 发送时钟	3.3V	输出	
87	RGMII-TXD0	RGMII-TXD0	RGMII 发送数据 0	3.3V	输出	
88	RGMII-TXD2	RGMII-TXD2	RGMII 发送数据 2	3.3V	输出	
154	RMII-TXEN	RMII-TXEN	RMII 发送使能有效	3.3V	输出	
155	RMII-TXCK	RMII-TXCK	RMII 发送时钟	3.3V	输出	底板设计百兆以太网需要的信号
156	RMII-RXD1	RMII-RXD1	RMII 接收数据 1	3.3V	输入	
157	RMII-CRS-RXDV	RMII-CRS-RXDV	RMII 载波侦听接收数据有效	3.3V	输入	
158	RMII-RXD0	RMII-RXD0	RMII 接收数据 0	3.3V	输入	
159	RMII-RXER	RMII-RXER	RMII 接收错误	3.3V	输入	
160	RMII-MDIO	RMII-MDIO	RMII 管理数据	3.3V	输入/输出	
161	RMII-MDC	RMII-MDC	RMII 管理时钟	3.3V	输出	
162	RMII-TXD0	RMII-TXD0	RMII 发送数据 0	3.3V	输出	
163	RMII-TXD1	RMII-TXD1	RMII 发送数据 1	3.3V	输出	
164	EPHY_RST	EPHY_RST	用于复位外接 PHY 芯片	3.3V	输出	

表 6-5 Ethernet 接口 PIN 定义

6.5. MIPI CSI 接口

MYC-YT507H 提供一路 4 lane MIPI CSI 摄像头输入接口。MIPI CSI 接口支持 8M@30fps 或者 1080p@25fps。

6.5.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
104	MCSI-MCLK	MCSI-MCLK	MIPI CSI 基础时钟输出	-	输出	
105	MCSI-SDA	MCSI-SDA	MIPI CSI I2C 数据	-	输入/输出	
106	MCSI-SCK	MCSI-SCK	MIPI CSI I2C 时钟	-	输出	
108	MCSI-CLKP	MCSI-CLKP	MIPI CSI 差分时钟+	-	输入	
109	MCSI-CLKN	MCSI-CLKN	MIPI CSI 差分时钟-	-	输入	
111	MCSI-D0P	MCSI-D0P	MIPI CSI 差分数据 0+	-	输入	
112	MCSI-D0N	MCSI-D0N	MIPI CSI 差分数据 0-	-	输入	
114	MCSI-D1P	MCSI-D1P	MIPI CSI 差分数据 1+	-	输入	
115	MCSI-D1N	MCSI-D1N	MIPI CSI 差分数据 1-	-	输入	
117	MCSI-D2P	MCSI-D2P	MIPI CSI 差分数据 2+	-	输入	
118	MCSI-D2N	MCSI-D2N	MIPI CSI 差分数据 2-	-	输入	
120	MCSI-D3P	MCSI-D3P	MIPI CSI 差分数据 3+	-	输入	
121	MCSI-D3N	MCSI-D3N	MIPI CSI 差分数据 3-	-	输入	

表 6-6 MIPI CSI 接口 PIN 定义

6.6. Parallel CSI 接口

MYC-YT507H 核心板的 Parallel CSI 接口最高可以支持 5M@15fps 或者 1080p@30fps 视频输入信号。

6.6.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
43	NCSI0-SCK	NCSI0-SCK	并行 CSI I2C 时钟	3.3V	输出	IO 口默认电压设置 3.3V,可以通过 TWI 接口控制 PMIC,从而调整 IO 口的电压, 如常见的 1.8V/2.8V 等等
44	NCSI0-SDA	NCSI0-SDA	并行 CSI I2C 数据	3.3V	输入/输出	
45	NCSI0-HSYNC	NCSI0-HSYNC	并行 CSI 行同步信号	3.3V	输入	
46	NCSI0-D7	NCSI0-D7	并行 CSI 输入数据 7	3.3V	输入	
47	NCSI0-PCLK	NCSI0-PCLK	并行 CSI 输入像素时钟	3.3V	输入	
48	NCSI0-D6	NCSI0-D6	并行 CSI 输入数据 6	3.3V	输入	
49	NCSI0-D5	NCSI0-D5	并行 CSI 输入数据 5	3.3V	输入	
50	NCSI0-D3	NCSI0-D3	并行 CSI 输入数据 3	3.3V	输入	
51	NCSI0-D2	NCSI0-D2	并行 CSI 输入数据 2	3.3V	输入	
52	NCSI0-D4	NCSI0-D4	并行 CSI 输入数据 4	3.3V	输入	
53	NCSI0-D0	NCSI0-D0	并行 CSI 输入数据 0	3.3V	输入	
54	NCSI0-D1	NCSI0-D1	并行 CSI 输入数据 1	3.3V	输入	
55	NCSI0-VSYNC	NCSI0-VSYNC	并行 CSI 场同步信号	3.3V	输入	
56	NCSI0-D15	NCSI0-D15	并行 CSI 输入数据 15	3.3V	输入	
57	CSI-FSIN0	CSI-FSIN0	保留未使用	3.3V	输入	
58	NCSI0-D14	NCSI0-D14	并行 CSI 输入数据 14	3.3V	输入	
59	NCSI0-D13	NCSI0-D13	并行 CSI 输入数据 13	3.3V	输入	
60	NCSI0-MCLK	NCSI0-MCLK	并行 CSI 输出时钟	3.3V	输出	
61	NCSI0-D12	NCSI0-D12	并行 CSI 输入数据 12	3.3V	输入	
62	NCSI0-D11	NCSI0-D11	并行 CSI 输入数据 11	3.3V	输入	
63	NCSI0-D10	NCSI0-D10	并行 CSI 输入数据 10	3.3V	输入	
64	NCSI0-D9	NCSI0-D9	并行 CSI 输入数据 9	3.3V	输入	
65	NCSI0-D8	NCSI0-D8	并行 CSI 输入数据 8	3.3V	输入	

表 6-7 Parallel CSI 接口 PIN 定义

6.7. LVDS 显示接口

MYC-YT507H 核心板的支持 LVDS 信号输出。MYC-YT507H 提供两个 Single Link LVDS 接口支持 1366x768@60fps 显示输出，此外两路 Single LVDS 可以组成 Dual Link LVDS 以支持更高的显示分辨率 1920x1080@60fps。

6.7.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
13	LVDS1-D1N	LVDS1-D1N	LVDS1 差分数据 1-	3.3V	输出	1. LVDS1, LVDS0 可以配置为两个独立的显示接口，此时分辨率为 1366x768@60fps 2. LVDS0, LVDS1 可以配置为高清（双通道）LVDS，分辨率可达 1920x1080@60fps 3. 核心板默认配置 LVDS 功能，
14	LVDS1-D1P	LVDS1-D1P	LVDS1 差分数据 1+	3.3V	输出	
16	LVDS1-D3N	LVDS1-D3N	LVDS1 差分数据 3-	3.3V	输出	
17	LVDS1-D3P	LVDS1-D3P	LVDS1 差分数据 3+	3.3V	输出	
19	LVDS1-D2N	LVDS1-D2N	LVDS1 差分数据 2-	3.3V	输出	
20	LVDS1-D2P	LVDS1-D2P	LVDS1 差分数据 2+	3.3V	输出	
22	LVDS1-CLKN	LVDS1-CLKN	LVDS1 差分时钟-	3.3V	输出	
23	LVDS1-CLKP	LVDS1-CLKP	LVDS1 差分时钟+	3.3V	输出	
25	LVDS1-D0N	LVDS1-D0N	LVDS1 差分数据 0-	3.3V	输出	
26	LVDS1-D0P	LVDS1-D0P	LVDS1 差分数据 0+	3.3V	输出	
28	LVDS0-D2N	LVDS0-D2N	LVDS0 差分数据 2-	3.3V	输出	
29	LVDS0-D2P	LVDS0-D2P	LVDS0 差分数据 2+	3.3V	输出	
31	LVDS0-D1N	LVDS0-D1N	LVDS0 差分数据 1-	3.3V	输出	
32	LVDS0-D1P	LVDS0-D1P	LVDS0 差分数据 1+	3.3V	输出	
34	LVDS0-D0N	LVDS0-D0N	LVDS0 差分数据 0-	3.3V	输出	
35	LVDS0-D0P	LVDS0-D0P	LVDS0 差分数据 0+	3.3V	输出	
37	LVDS0-CLKN	LVDS0-CLKN	LVDS0 差分时钟-	3.3V	输出	
38	LVDS0-CLKP	LVDS0-CLKP	LVDS0 差分时钟+	3.3V	输出	
40	LVDS0-D3N	LVDS0-D3N	LVDS0 差分数据 3-	3.3V	输出	
41	LVDS0-D3P	LVDS0-D3P	LVDS0 差分数据 3+	3.3V	输出	

表 6-8 LCD 接口 PIN 定义

6.8. HDMI 接口

MYC-YT507H 核心板原生支持一路 HDMI 显示输出接口，最高支持 4K@60fps 分辨率。

6.8.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
125	HDMI-CEC	HDMI-CEC	HDMI CEC 信号	1.8V	输入	
126	HDMI-SDA	HDMI-SDA	HDMI 串行数据	1.8V	输入/输出	
127	HDMI-SCL	HDMI-SCL	HDMI 串行时钟	1.8V	输出	
128	HDMI-HPD	HDMI-HPD	HDMI 热插拔信号	1.8V	输入	
130	HTXCP	HTXCP	HDMI TMDS 差分时钟信号+	-	输出	
131	HTXCN	HTXCN	HDMI TMDS 差分时钟信号-	-	输出	
133	HTX1P	HTX1P	HDMI TMDS 差分数据 1+	-	输出	
134	HTX1N	HTX1N	HDMI TMDS 差分数据 1-	-	输出	
136	HTX0P	HTX0P	HDMI TMDS 差分数据 0+	-	输出	
137	HTX0N	HTX0N	HDMI TMDS 差分数据 0-	-	输出	
139	HTX2P	HTX2P	HDMI TMDS 差分数据 2+	-	输出	
140	HTX2N	HTX2N	HDMI TMDS 差分数据 2-	-	输出	

表 6-9 HDMI 接口 PIN 定义

6.9. TV CVBS Output 接口

MYC-YT507H 核心板支持 1 路 TV CVBS Output 接口，支持 NTSC 和 PAL 模式。

6.9.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
123	TV-OUT	TV-OUT	模拟视频输出	0~1.8V	输出	

表 6-10 TV CVBS Output 接口 PIN 定义

6.10. SPDIF-OUT 接口

MYC-YT507H 核心板支持 1 路 SPDIF OUT 数字音频输出接口。

6.10.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
L22	SPDIF-OUT	SPDIF-OUT	数字音频接口输出	3.3V	输出	

表 6-11 SPDIF-Out 接口 PIN 定义

6.11. I2S 接口

MYC-YT507H 核心板最多提供 3 路 I2S 接口,由于管脚复用关系,默认配置了 1 路 I2S 接口。

6.11.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
L17	I2S2_DOUT0	I2S2_DOUT0	I2S2 数据输出	3.3V	输出	
L18	I2S2_LRCK	I2S2_LRCK	I2S2 采样同步信号	3.3V	输出	
L19	I2S2_BLCK	I2S2_BLCK	I2S2 采样位时钟	3.3V	输出	
L20	I2S2_DIN0	I2S2_DIN0	I2S2 数据输入	3.3V	输入	
L21	I2S2_MLCK	I2S2_MLCK	I2S2 主时钟输出	3.3V	输出	

表 6-12 I2S 接口 PIN 定义

6.12. Line Out 接口

T507-H 原生支持 line Out 输出。MYC-YT507H 核心板对其直连引出了 line Out 接口。

6.12.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
L23	LINEOUTR	LINEOUTR	模拟音频输出	-	输出	
L24	LINEOUTL	LINEOUTL	模拟音频输出	-	输出	

表 6-13 Line Out 接口 PIN 定义

6.13. GPIO 接口

MYC-YT507H 核心板的 GPIO 管脚大都用作了特定的功能接口，部分 GPIO 管脚的默认功能还是用作 GPIO。

6.13.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
L30	IR-RX	GPIO	EVK 参考设计中断输入	3.3V	输出	L30
L31	PH8	GPIO	保留不使用	3.3V	-	L31
L32	PC2	GPIO	使能/禁能摄像头	1.8V	输出	L32
L33	PC12	GPIO	复位摄像头	1.8V	输出	L33
L34	PD22	GPIO	使能/禁能底板 VDD_3V3IO	3.3V	输出	L34
L35	PD27	GPIO	LVDS0 显示屏触摸 TP 片选	3.3V	输出	L35
L36	PD23	GPIO	LVDS1 显示屏触摸 TP 片选	3.3V	输出	L36
L37	PD25	GPIO	4G 模块复位	3.3V	输出	L37
L38	PD20	PD20	LVDS1 显示屏触摸 TP 使能	3.3V	输出	L38
L39	PC7	PC7	MIPI CSI 使能	1.8V	输出	L39
L40	PH9	PH9	HD-LVDS 电源使能	3.3V	输出	L40
L41	PD24	PD24	LVDS0 显示屏触摸 TP 使能	3.3V	输出	L41
L42	PD28	PD28	LVDS0 显示屏背光使能	3.3V	输出	L42
L43	PWM5	PWM5	HDLVDS 背光调节	3.3V	输出	L43
L44	PD26	PD26	GPIO 输出	3.3V	输出	L44
L45	PD21	PD21	GPIO 输出	3.3V	输出	L45

表 6-14 GPIO 接口 PIN 定义

6.14. ADC 接口

MYC-YT507H 核心板支持 GPADC 和 LRADC。GPADC 具有 12 位分辨率，最大 1Mhz 采样率，支持的信号输入范围 0~1.8V。LRADC 最高支持 6 位分辨率，采样率支持 2Khz，相应的 LRADC 支持的输入信号范围 0~1.35V。

6.14.1. 引脚定义

核心板引脚	管脚网络名	默认功能	功能描述	电平	输入/输出	备注
L47	GPADC3	GPADC3	通用 ADC 通道 3	0~1.8V	输入	
L48	GPADC2	GPADC2	通用 ADC 通道 2	0~1.8V	输入	
L49	GPADC1	GPADC1	通用 ADC 通道 1	0~1.8V	输入	
L50	GPADC0	GPADC0	通用 ADC 通道 0	0~1.8V	输入	
L51	LRADC0	LRADC0	低分辨率低速采样 ADC	0~1.35 V	输入	

表 6-15 ADC 引脚定义

7. 封装信息

7.1. 机械尺寸

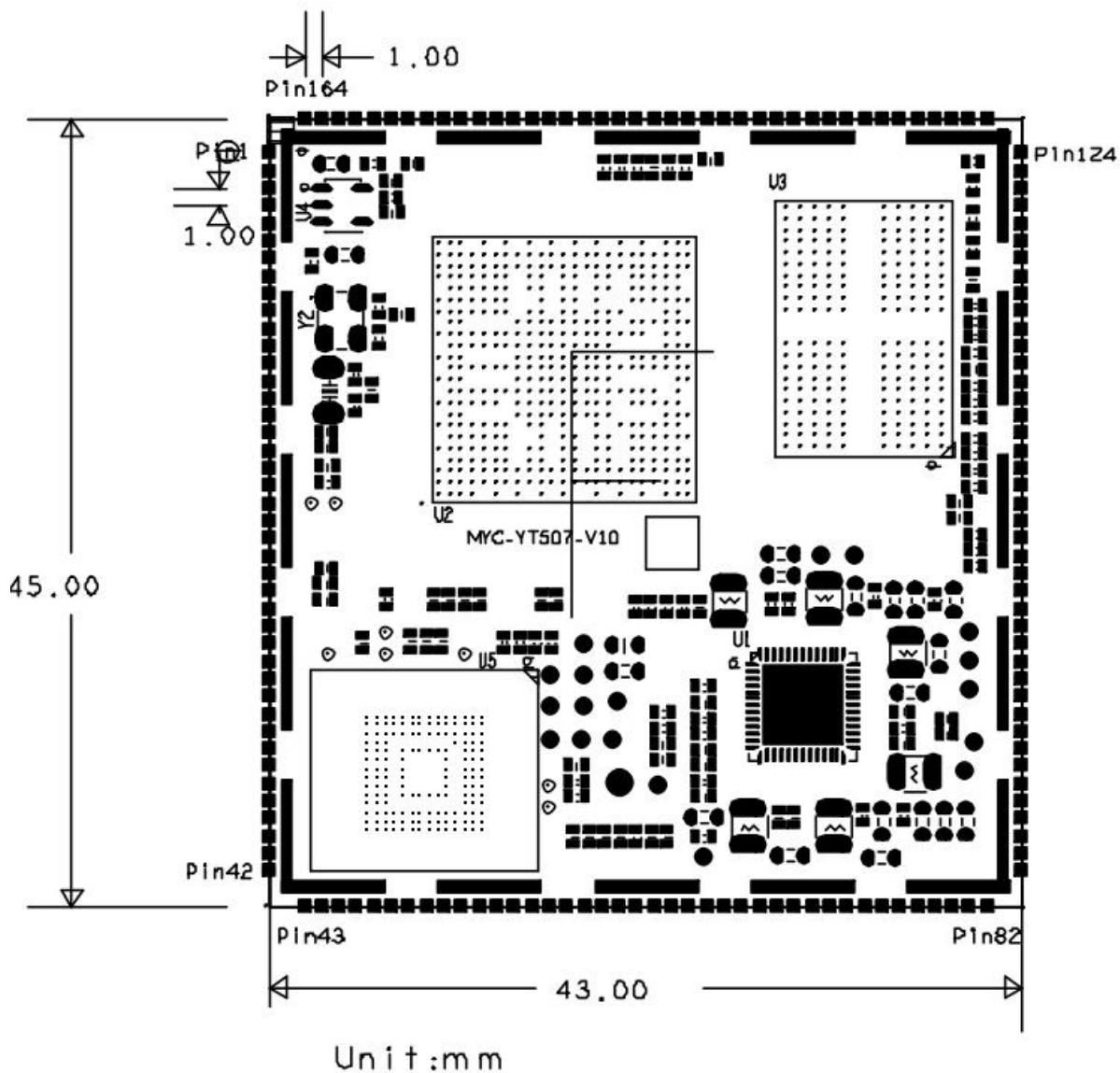


图 7-1 MYC-YT507H 核心板俯视图

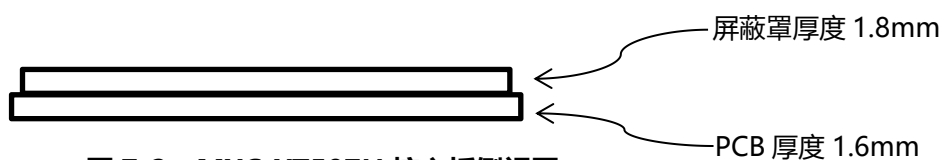


图 7-2 MYC-YT507H 核心板侧视图

7.2. 底板 PCB 封装

MYC-YT507H 采用邮票孔以及背面焊盘的方式因此信号。焊盘设计大小有 2 种规格：椭圆形孔及圆孔两种方式。图 7-4 分别给出了两种焊盘的设计参考尺寸。

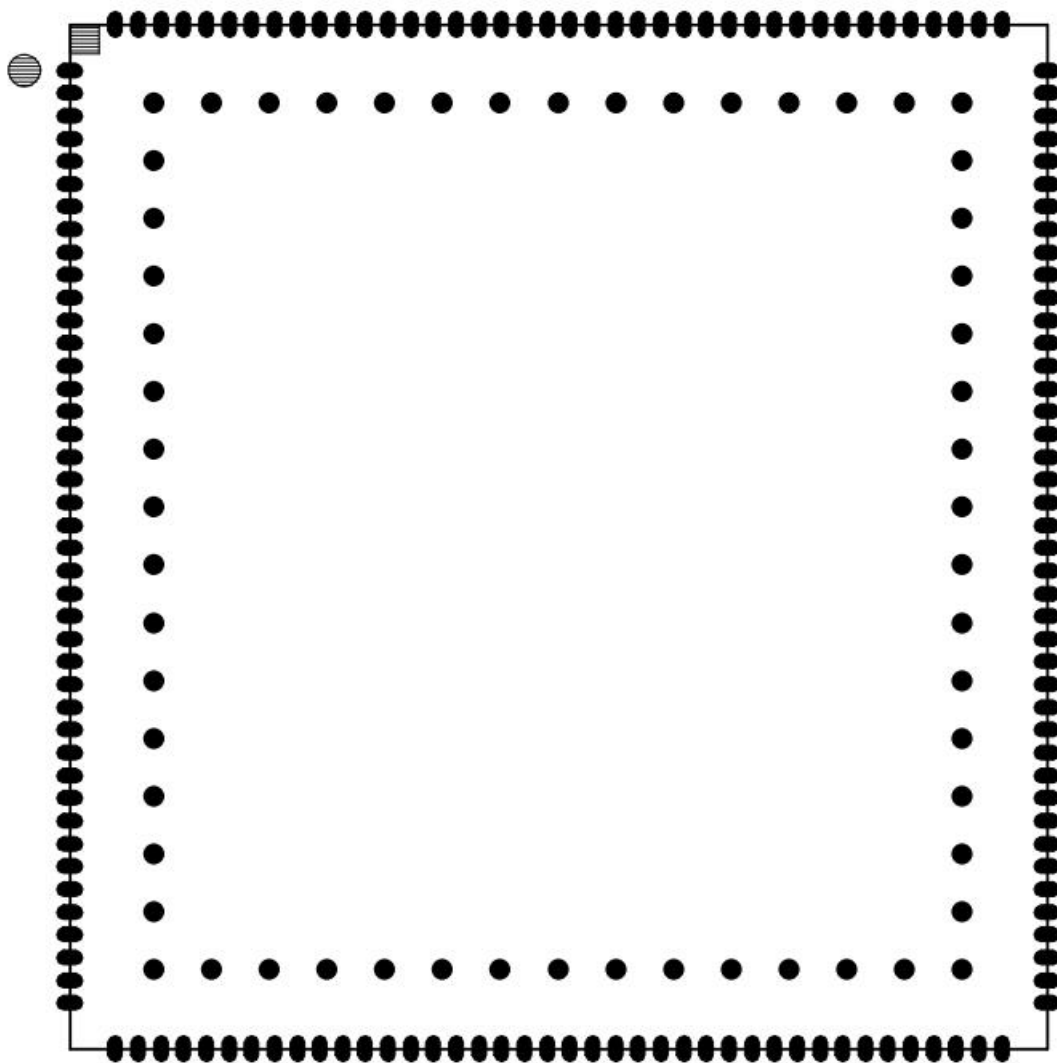


图 7-3 MYC-YT507H 核心板 PCB 封装

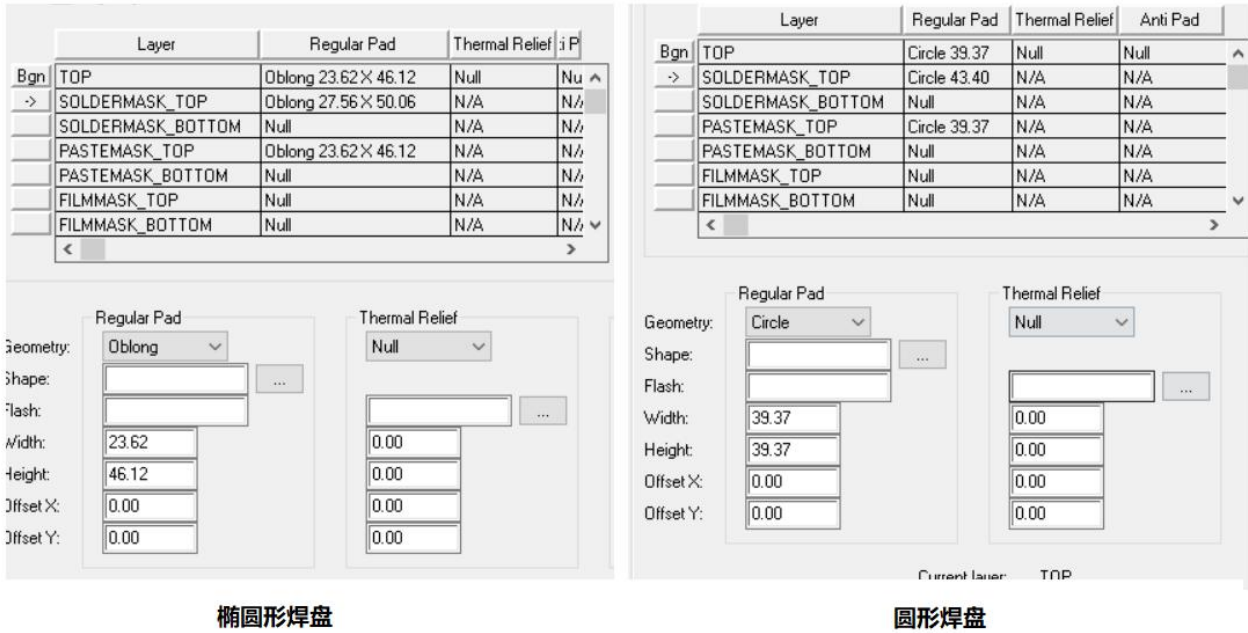


图 7-4 MYC-YT507H 核心板 PCB 封装焊盘尺寸

米尔电子提供设计好的 PCB 封装，请访问 <http://down.myr-tech.com/MYD-YT507H/>以获取该相关资料。

7.3. 底板 PCB 要求

- a) 推荐 PCB 厚度至少 1.6mm，注意覆铜的均衡，如过炉出现 PCB 变形，建议使用载具固定过炉。
- b) 为保证贴装和上锡质量，请确保 PCB 上模块与其它元器件之间的距离至少 3mm。
- c) 请按照 7.2 节设计核心板模块的封装，或者使用米尔电子提供的 PCB 封装。

8. 贴装和储存要求

8.1. 钢网设计

- a) 圆形焊盘建议在用锡量 0.15mm 厚度下开孔比例 1: 1; 0.18mm 厚度下开孔比例 1: 0.8。
- b) 邮票孔焊盘钢网开孔要求是建议焊盘内部回缩 10%，外扩 20%，厚度 0.18mm 阶梯。

8.2. 储存要求

模块以真空密封的形式出货，存储需按以下条件操作：

- a) 环境温度低于 40℃，空气湿度小于 90%的情况下，真空密封袋可存放 12 个月。
- b) 当真空密封袋打开后，在环境温度低于 30℃，空气湿度小于 10%，72 小时内可直接进行回流焊。

注：如未能达到以上条件，在贴片前应进行烘烤。

8.3. 烘烤方式

由于模块包装材料无法承受高温，如有需要，请从以下 2 种方式中选择 1 种进行烘烤，避免影响模块焊接质量。

- a) 原包装烘烤：烘烤温度为 40 ~ 60℃，时间为 5 ~ 7 天。
- b) 转移至耐高温料盘烘烤：烘烤温度为 100 ~ 120，烘烤时间为 48 小时以上。

8.4. 焊接工艺

- a) 如果待贴片底板是双面器件布局，建议把核心板的贴片工序放在最后一个阶段。
- b) 建议预热区域（160 ~ 200℃）的时间设置为 60 ~ 120 秒。
- c) 推荐回流焊的温度在 235 ~ 245℃，最高不可超过 250℃，回流时间建议控制在 40 ~ 60 秒。
- d) 推荐温度上升速度为 1 ~ 3℃/秒，温度下降速度为 2 ~ 4℃/秒。

附录一 联系我们

深圳总部

地址：深圳市龙岗区坂田街道发达路云里智能园 2 栋 6 楼 04 室

负责区域：广东 / 四川 / 重庆 / 湖南 / 广西 / 云南 / 贵州 / 海南 / 香港澳门

传真：0755-25532724 电话：0755-25622735

华东地区

地址：上海市浦东新区金吉路 778 号浦发江程广场 1 号楼 805 室

负责区域：上海 / 湖北 / 江苏 / 浙江 / 安徽 / 福建 / 江西

传真：021-62087085 电话：021-62087019 北京办事处

负责区域：北京/天津/陕西/辽宁/山东/河南/河北/黑龙江/吉林/山西/甘肃/内蒙古/宁夏

华北地区

地址：北京市大兴区荣华中路 8 号院力宝广场 10 号楼 901 室

负责区域：北京 / 天津 / 陕西 / 辽宁 / 山东 / 河南 / 河北 / 黑龙江 / 吉林 / 山西 / 甘肃 / 内蒙古 / 宁夏

传真：010-64125474 电话：010-84675491

销售联系方式

网址：www.myir-tech.com

邮箱：sales.cn@myirtech.com

技术支持联系方式

电话：027-59621648

邮箱：support.cn@myirtech.com

如果您通过邮件获取帮助时，请使用以下格式书写邮件标题：

[公司名称/个人--开发板型号] 问题概述

这样可以使我们更快速跟进您的问题，以便相应开发组可以处理您的问题。

附录二 售后服务与技术支持

凡是通过米尔科技直接购买或经米尔科技授权的正规代理商处购买的米尔科技全系列产品，均可享受以下权益：

- 1、6 个月免费保修服务周期
- 2、终身免费技术支持服务
- 3、终身维修服务
- 4、免费享有所购买产品配套的软件升级服务
- 5、免费享有所购买产品配套的软件源代码，以及米尔科技开发的部分软件源代码
- 6、可直接从米尔科技购买主要芯片样品，简单、方便、快速；免去从代理商处购买时，漫长的等待周期
- 7、自购买之日起，即成为米尔科技永久客户，享有再次购买米尔科技任何一款软硬件产品的优惠政策
- 8、OEM/ODM 服务

如有以下情况之一，则不享有免费保修服务：

- 1、超过免费保修服务周期
- 2、无产品序列号或无产品有效购买单据
- 3、进液、受潮、发霉或腐蚀
- 4、受撞击、挤压、摔落、刮伤等非产品本身质量问题引起的故障和损坏
- 5、擅自改造硬件、错误上电、错误操作造成的故障和损坏
- 6、由不可抗拒自然因素引起的故障和损坏

产品返修

用户在使用过程中由于产品故障、损坏或其他异常现象，在寄回维修之前，请先致电米尔科技客服部，与工程师进行沟通以确认问题，避免故障判断错误造成不必要的运费损失及周期的耽误。

维修周期

收到返修产品后，我们将即日安排工程师进行检测，我们将在最短的时间内维修或更换并寄回。一般的故障维修周期为 3 个工作日（自我司收到物品之日起，不计运输过程时间），由于特殊故障导致无法短期内维修的产品，我们会与用户另行沟通并确认维修周期。

维修费用

在免费保修期内的产品，由于产品质量问题引起的故障，不收任何维修费用；不属于免费保修范围内的故障或损坏，在检测确认问题后，我们将与客户沟通并确认维修费用，我们仅收取元器件材料费，不收取维修服务费；超过保修期限的产品，根据实际损坏的程度来确定收取的元器件材料费和维修服务费。

运输费用

产品正常保修时，用户寄回的运费由用户承担，维修后寄回给用户的费用由我司承担。非正常保修产品来回运费均由用户承担。