

# MYC-LD25X 产品手册



**版本：V1.1**

**日期：2024 年 11 月 06 日**

**深圳市米尔电子有限公司**

## 版本历史

版本	作者	参与者	日期	备注
V1.0	Bai		20240722	初始版本
V1.1	Bai		20241106	更新 CAN 描述



## 目 录

版本历史.....	1
目 录.....	2
1. 概述.....	4
2. 产品介绍.....	7
2.1. 芯片说明.....	7
2.2. 核心板主要参数.....	10
2.3. 系统框图.....	11
2.4. 标准型号.....	12
3. 引脚描述.....	15
3.1. 引脚示意图.....	15
3.2. 核心板引脚对照表.....	17
4. 电气特性.....	27
4.1. 主要电源 (VSYS_5V).....	27
4.2. 电源功耗.....	27
4.3. GPIO 直流特性.....	28
5. 系统必要电路设计.....	29
5.1. Boot 配置电路.....	29
5.2. 烧写固件电路.....	29
5.3. Debug 电路.....	29
5.4. 复位电路.....	29
6. 接口说明.....	30
6.1. SD/MMC 接口.....	30
6.1.1. 引脚定义.....	30
6.2. UART 接口.....	31
6.2.1. 引脚定义.....	31
6.3. USB 接口.....	32
6.3.1. 引脚定义.....	32
6.4. CAN 接口.....	33



6.4.1. 引脚定义.....	33
6.5. Ethernet 接口.....	34
6.5.1. 引脚定义.....	34
6.6. I2C 接口.....	36
6.6.1. 引脚定义.....	36
6.7. I2S 接口.....	37
6.7.1. 引脚定义.....	37
6.8. LVDS 接口.....	38
6.8.1. 引脚定义.....	38
6.9. MIPI CSI 接口.....	39
6.9.1. 引脚定义.....	39
6.10. MIPI DSI 接口.....	40
6.10.1. 引脚定义.....	40
6.11. SPI 接口.....	41
6.11.1. 引脚定义.....	41
6.12. JTAG 接口.....	42
6.12.1. 引脚定义.....	42
7. 封装信息.....	43
7.1. 机械尺寸.....	43
7.2. 引脚间距尺寸.....	44
7.3. 核心板 PCB 要求.....	45
8. 贴装和储存要求.....	46
8.1. 钢网设计.....	46
8.2. 储存要求.....	46
8.3. 烘烤方式.....	46
8.4. 焊接工艺.....	46
附录一 免责声明.....	47
附录二 联系我们.....	48
附录三 技术支持说明.....	49



# 1. 概述

STM32MP25x 系列处理器是一款工业级应用芯片，集成了 2xCortex-A35@1.5GHz+Cortex-M33@400MHz，1.35 TOPS 的 NPU 加速器。丰富外设扩展：3 个千兆以太网接口，3 个 CAN FD 接口、1 个 1 lane PCIE2.0、1 个 USB3.0&2.0 OTG、1 个 USB2.0 HOST、3 个 SDIO3.0 接口、9 个 UART 接口，8 个 I2C，4 个 I3C，8 个 SPI，1 个 16bit FMC 等。丰富多媒体资源：1 个 24-bit RGB、1 个 MIPI-DSI、Dual-link LVDS，最高支持 2048\*1536 @60FPS；1 个 MIPI CSI，1 个 DCMI；支持 3D GPU；VPU 支持 H.264/VP8 1920\*1080@60FPS。

米尔电子基于 STM32MP25x 系列芯片作为主处理器推出了全新产品：MYC-LD25 X。该产品将 MPU 最小系统主要集中在一块核心板上，便于客户开发；拥有良好的软件开发环境，内核支持开源操作系统 Linux；针对高端工业 HMI、边缘计算网关、新能源充电桩、储能 EMS 系统、工业自动化 PLC、运动控制器等场景。





图 1-1 MYC-LD25X-V1 核心板-正面

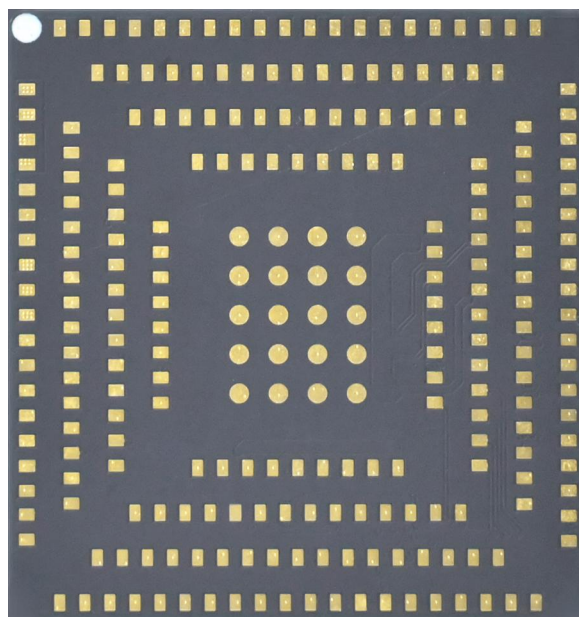


图 1-2 MYC-LD25X-V1 核心板-反面



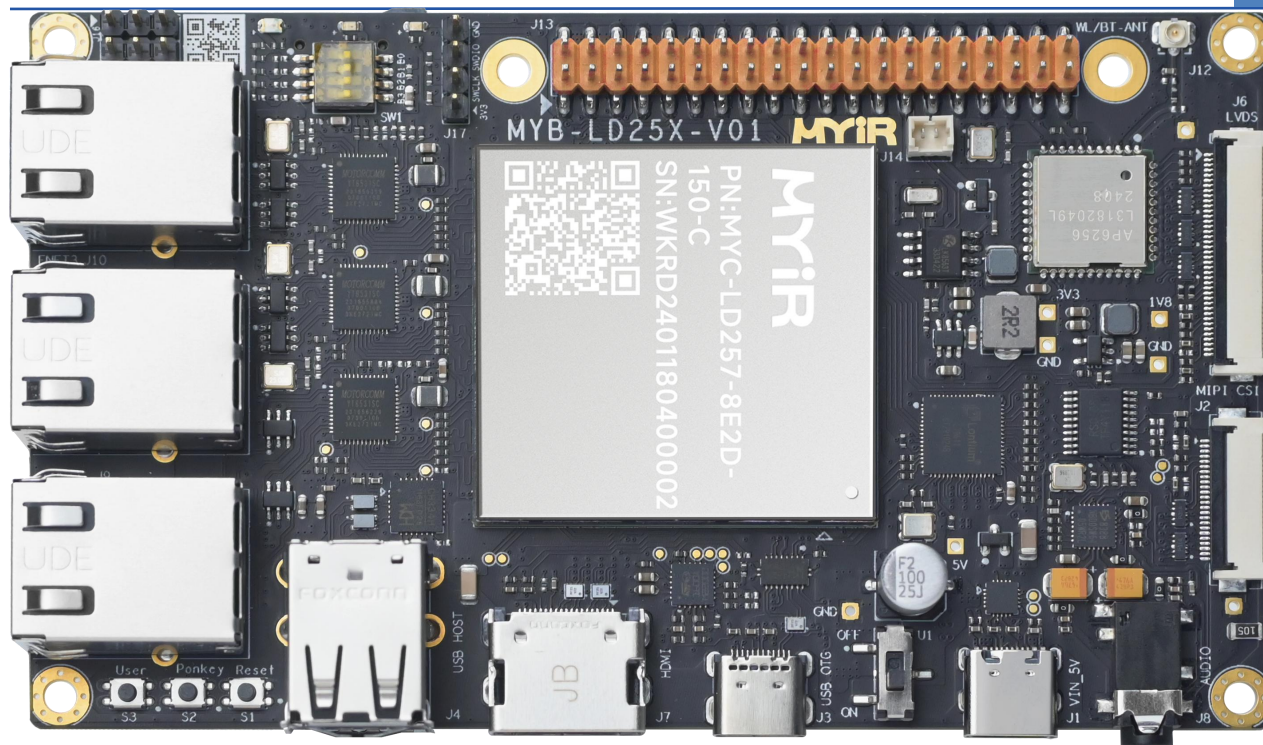


图 1-3 MYD-LD25X-评估板套件-正面





## 2. 产品介绍

MYC-LD25X 核心板采用高密度高速电路板设计，在大小为 37mm\*39mm\*1.6mm 的板卡上集成了 MPU STM32MP25x、LPDDR4、eMMC、E2PROM、PMIC 等电路。

MYC-LD25X 系列核心板目前有工业级和商业级可选，内存大小/存储大小可选，客户可根据需求选择合适的型号，核心板以 SMD 贴片的形式焊接在底板，管脚为 LGA 封装，板卡采用 12 层高密度 PCB 设计，沉金工艺生产，独立的接地信号层，无铅。

### 2.1. 芯片说明

STM32MP25x 处理器 MPU with Dual Arm Cortex-A35 @1.5GHz, Cortex-M33 @400MHz, 总算力达 1.35 TOPS 的神经处理单元 (NPU) 和图形处理单元 (GPU), 3 xEthernet (2+1 switch), 3x FD-CAN, LVDS/DSI, H.264, 3D GPU, AI/NN。

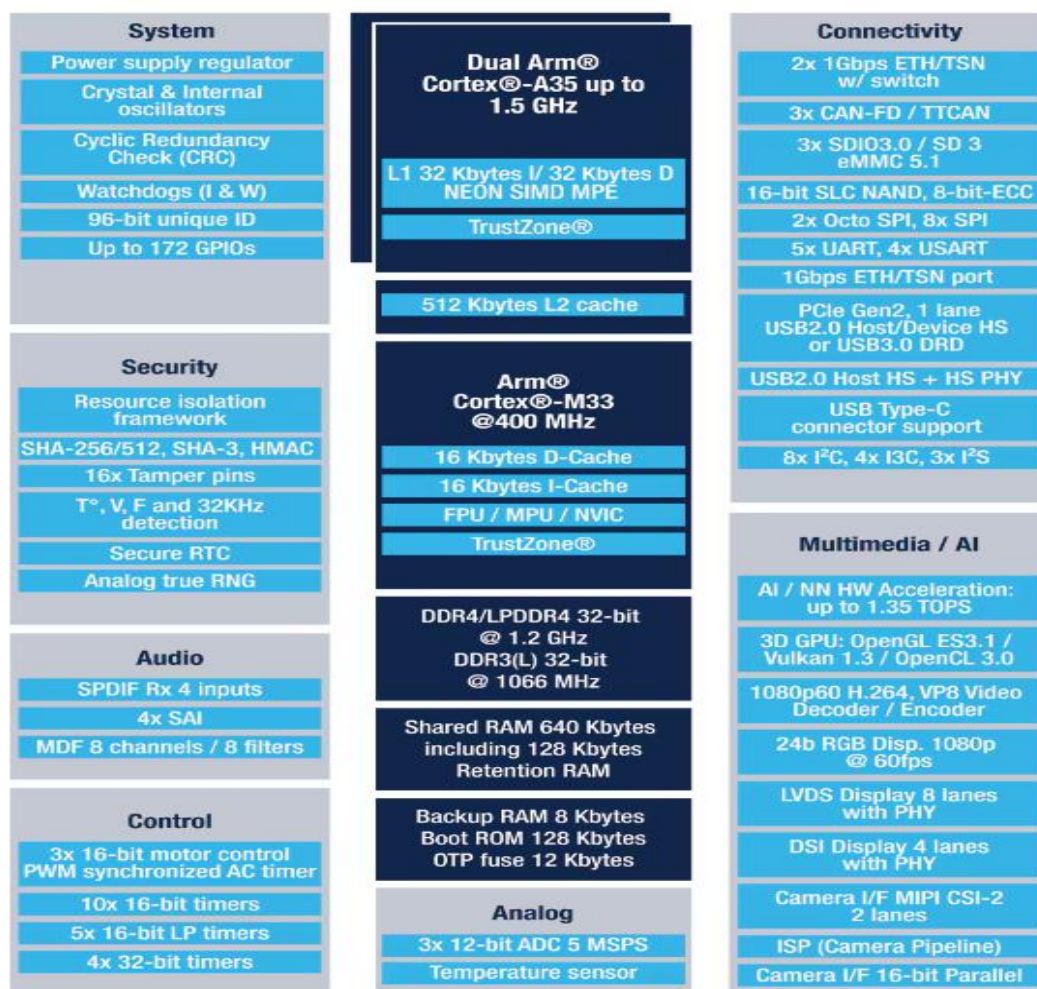


图 2-1 STM32MP25x 资源框图





资源	参数描述
CPU	<ul style="list-style-type: none"> <li>based on the high-performance single or dual-core Arm® Cortex®-A35 64-bit RISC core operating at up to 1.5 GHz</li> <li>embed a Cortex®-M33 32-bit RISC core operating at up to 400 MHz frequency</li> </ul>
GPU	<ul style="list-style-type: none"> <li>Optional VeriSilicon GC8000UL up to 900 MHz(1)</li> </ul>
NPU	
On-chip ROM	<ul style="list-style-type: none"> <li>128 Kbytes (only for Cortex-A35)</li> </ul>
外部存储	<ul style="list-style-type: none"> <li>supporting external memories up to 32- Gbit density (4 Gbytes)</li> <li>16- or 32-bit DDR3L up to 1066 MHz</li> <li>16- or 32-bit LPDDR4 or DDR4 up to 1200 MHz</li> </ul>
视频	<ul style="list-style-type: none"> <li><b>Decoder (VDEC) /Encoder (VENC)</b> <ul style="list-style-type: none"> <li>H264/VP8 up to 1080p60</li> <li>JPEG 500 Mpixel/s</li> </ul> </li> <li><b>Video RAM</b> <ul style="list-style-type: none"> <li>Up to 128 Kbytes</li> </ul> </li> </ul>
视频输入	<p><b>Camera interface</b></p> <ul style="list-style-type: none"> <li><b>CSI-2 + RGB/RawBayer parallel</b></li> <li><b>CSI-2 serial (CSI + DCMIPP)</b> <ul style="list-style-type: none"> <li>2× data lanes 2.5 Gbit/s each, path shared with DCMIPP</li> </ul> </li> <li><b>Parallel RGB/RawBayer (DCMIPP)</b> <ul style="list-style-type: none"> <li>Up to 120 MHz, path shared with CSI</li> </ul> </li> <li><b>Image signal processing (ISP)</b> <ul style="list-style-type: none"> <li>embedded inside DCMIPP</li> </ul> </li> <li><b>Parallel RGB (DCMI)</b> <ul style="list-style-type: none"> <li>Up to 80 MHz</li> </ul> </li> </ul>
显示输出	<p><b>LCD-TFT (LTDC)</b></p> <ul style="list-style-type: none"> <li>Up to 314 MHz pixel clock (when used with DSI or LVDS)</li> <li>Parallel interface <ul style="list-style-type: none"> <li>Up to 24-bits 150 MHz pixel clock (up to 1080p60)</li> </ul> </li> </ul> <p><b>Display serial interface (DSI)</b></p> <ul style="list-style-type: none"> <li>4× data lanes 2.5 Gbit/s each (up to 1536p60)</li> </ul> <p><b>LVDS display interface (LVDS)</b></p> <ul style="list-style-type: none"> <li>Up to dual-link of 4× data lanes 1.1 Gbit/s each (up to 1536p60)</li> </ul>
音频	<p><b>SAI</b></p> <ul style="list-style-type: none"> <li>4 (up to 8 audio channels), with I2S master/slave, PCM input</li> </ul> <p><b>Audio digital filter (ADF)</b></p>



	<ul style="list-style-type: none"> <li>• 1 input channel with 1 filter and sound-activity detection</li> </ul>
安全引擎	<ul style="list-style-type: none"> <li>• TrustZone peripherals, active tamper, environmental monitors, display secure layers, hardware accelerators</li> <li>• Complete resource isolation framework</li> </ul>
连接	<ul style="list-style-type: none"> <li>• Up to three CAN controllers supporting CAN FD protocol, out of which one supports time-triggered CAN (TTCAN)</li> <li>• one USB 2.0 high-speed Host with embedded 480 Mbits/s PHY</li> <li>• one USB 2.0/3.0 high-speed/SuperSpeed dual role data with embedded 480 Mbits/s and 5 Gbits/s PHY (5 Gbits/s PHY shared with PCI Express)</li> <li>• one PCI Express with embedded 5 Gbits/s PHY (PHY shared with USB 3.0 SuperSpeed)</li> <li>• Up to three Gigabit Ethernet interfaces                             <ul style="list-style-type: none"> <li>• one Gigabit Ethernet GMAC with one PHY interface (optional)</li> <li>• one Gigabit Ethernet GMAC with one external PHY interface, optionally internally connected to one embedded Ethernet switch providing two external PHY interfaces</li> </ul> </li> <li>• TSN, IEEE 1588v2 hardware, MII/RMII/RGMII</li> </ul>
PMIC	<ul style="list-style-type: none"> <li>● Power Management IC,WFQFN 56L (6.5x6.5x0.9 mm) package</li> </ul>
封装	<ul style="list-style-type: none"> <li>● TFBGA 424 Pin</li> <li>● 14 mm x 14 mm size,0.5 mm pitch,</li> </ul>

**表 2-1 STM32MP25x 资源**

详细资料请参考芯片手册。



## 2.2. 核心板主要参数

名称	主要参数
主控芯片系列	STM32MP25x
主控芯片型号	STM32MP257DAK3
内存	LPDDR4: 1/2GB
存储器	eMMC: 8GB
ARM 处理器规格	dual-core Cortex-A35@1.5 GHz、Cortex-M33@400MHz
核心板尺寸	37mm*39mm
核心板工作温度	工业级: -40°C~85°C; 商业级 0°C~70°C
接口类型	LGA 252 PIN
PCB 板规格	12 层板设计, 沉金工艺生产

表 2-2 主要参数



## 2.3. 系统框图

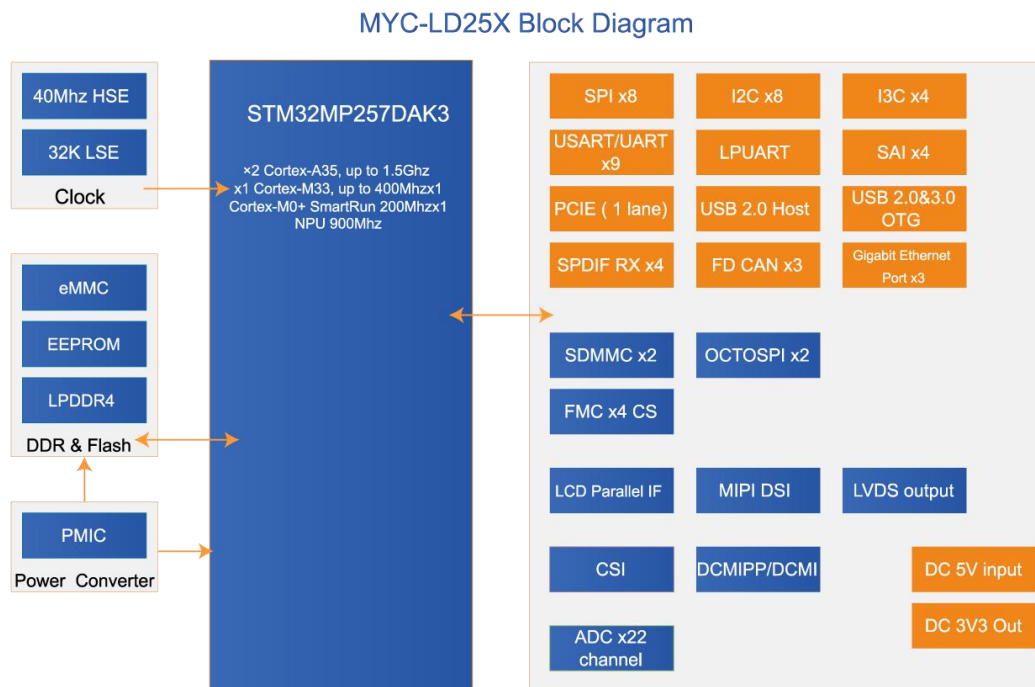


图 2-2 MYC-LD25X 系统框图



## 2.4. 标准型号

MYC-LD25X 系列核心板包含 4 种标准产品型号：它们在工作温度、内存参数方面有一些差异，客户可根据需求自行选择合适的型号。针对批量要求，米尔提供定制服务，可以选配核心板参数。

型号 规格	MYC-LD257-8E1D-150-C	MYC-LD257-8E2D-150-C
主芯片	STM32MP257DAK3	STM32MP257DAK3
主芯片系列	STM32MP25x	STM32MP25x
内存	LPDDR4: 1GB	LPDDR4: 2GB
存储器	EMMC: 8GB	EMMC: 8GB
内核	2 x Cortex-A35 + Cortex-M33	2 x Cortex-A35 + Cortex-M33
主频	A35 1.5GHz, M33 400Mhz	A35 1.5GHz, M33 400Mhz
视频输入	MIPI CSI x 1 (2-lane) DCMI	MIPI CSI x 1 (2-lane) DCMI
视频输出	MIPI DSI x 1 LVDS x 2 RGB x1	MIPI DSI x 1 LVDS x 2 RGB x1
音频	SAI x 4	SAI x 4
SD/MMC	2	2
USB	USB2.0 HOST x 1 USB2.0 OTG x 1	USB2.0 HOST x 1 USB2.0 OTG x 1
以太网	3 x RGMII	3 x RGMII
UART	USART x 4 UART x 5	USART x 4 UART x 5
I2C	7	7
I3C	4	4
CAN	3	3
SPI	8	8
JTAG	1	1



SWD	1	1
GPIO	128	128
供电电压	+5V	+5V
机械尺寸	37mm * 39mm	37mm * 39mm
工作温度	0°C - +70°C	0°C - +70°C
封装引脚数	LGA 252 Pin	LGA 252 Pin
相关认证	CE ROHS	CE ROHS

表 2-3 MYC-LD25X 核心板选型表 1

型号 规格	MYC-LD257-8E1D-150-I	MYC-LD257-8E2D-150-I
主芯片	STM32MP257DAK3	STM32MP257DAK3
主芯片系列	STM32MP25x	STM32MP25x
内存	LPDDR4: 1GB	LPDDR4: 2GB
存储器	EMMC: 8GB	EMMC: 8GB
内核	2 x Cortex-A35 + Cortex-M33	2 x Cortex-A35 + Cortex-M33
主频	A35 1.5GHz, M33 400Mhz	A35 1.5GHz, M33 400Mhz
视频输入	MIPI CSI x 1 (2-lane) DCMI	MIPI CSI x 1 (2-lane) DCMI
视频输出	MIPI DSI x 1 LVDS x 2 RGB x1	MIPI DSI x 1 LVDS x 2 RGB x1
音频	SAI x 4	SAI x 4
SD/MMC	2	2
USB	USB2.0 HOST x 1 USB2.0 OTG x 1	USB2.0 HOST x 1 USB2.0 OTG x 1
以太网	3 x RGMII	3 x RGMII
UART	USART x 4 UART x 5	USART x 4 UART x 5
I2C	7	7







I3C	4	4
CAN	3	3
SPI	8	8
JTAG	1	1
SWD	1	1
GPIO	128	128
供电电压	+5V	+5V
机械尺寸	37mm * 39mm	37mm * 39mm
工作温度	-40°C - +85°C	-40°C - +85°C
封装引脚数	LGA 252 Pin	LGA 252 Pin
相关认证	CE ROHS	CE ROHS

表 2-4 MYC-LD25X 核心板选型表 2



## 3. 引脚描述

### 3.1. 引脚示意图

MYC-LD25X 核心板以 SMD 贴片的形式焊接在底板，核心板背面是 LGA 封装焊盘，有 252 个引脚。底板封装设计请参考封装信息章节的说明。

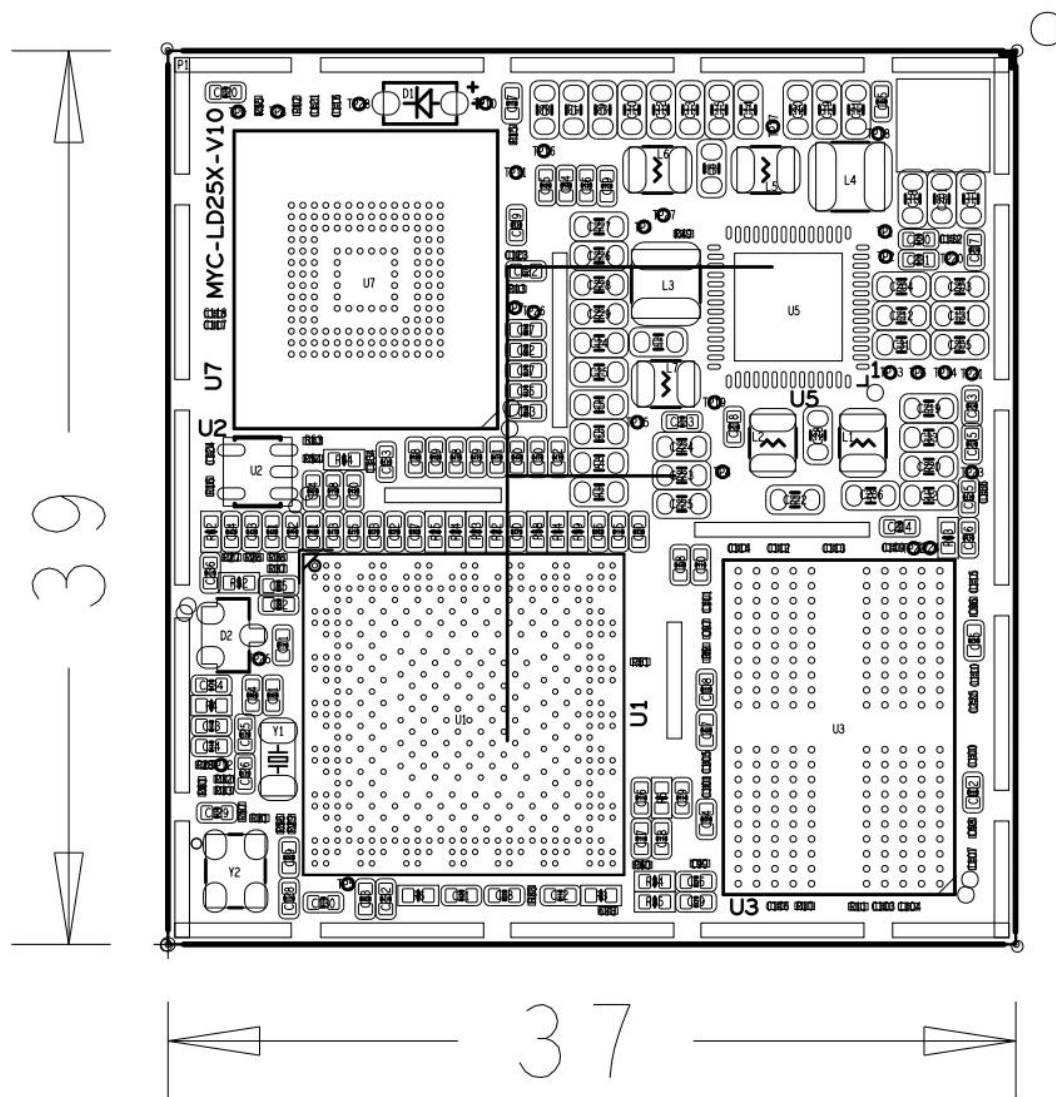


图 3-1 模块引脚图 (Top 层)



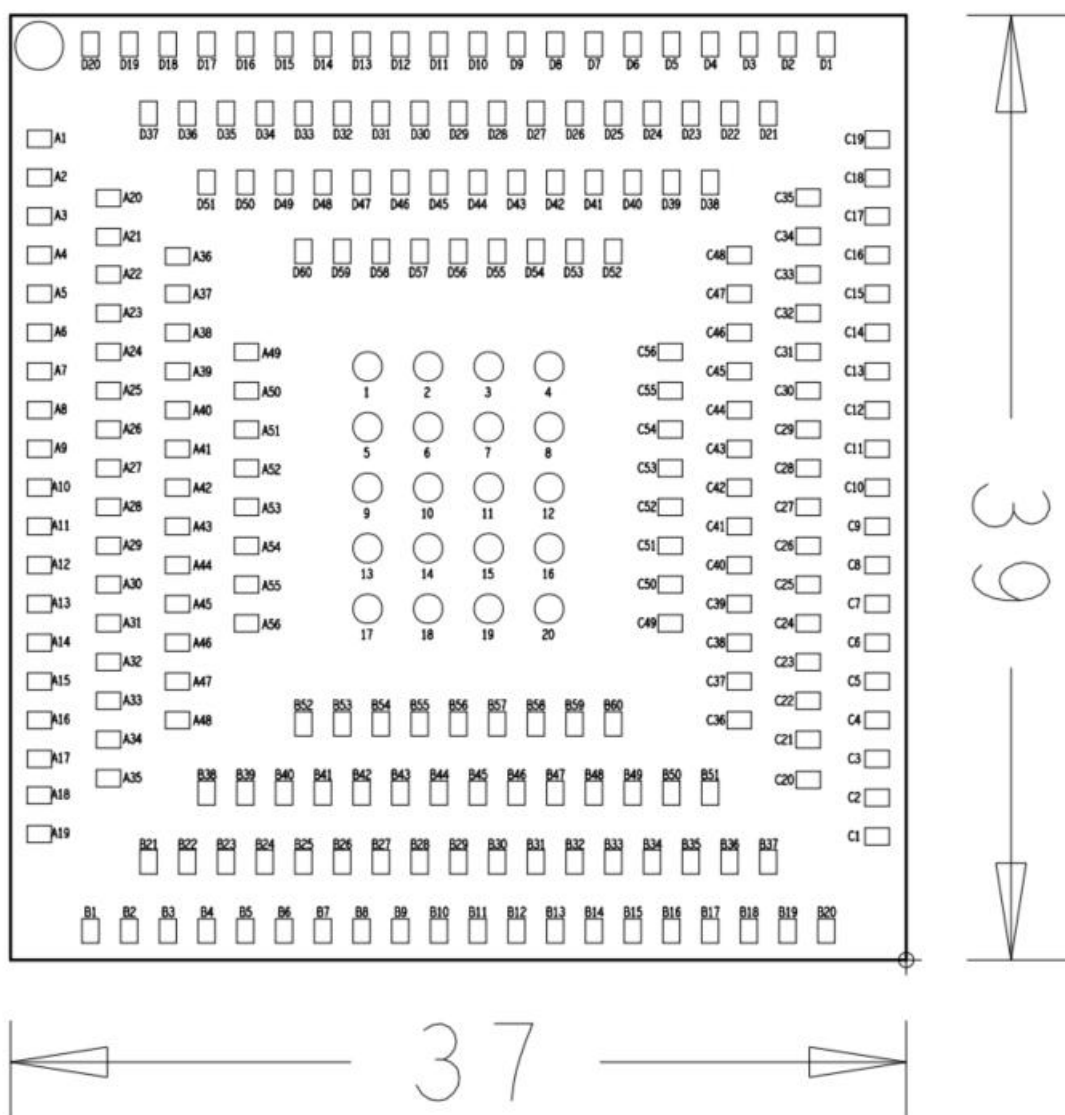


图 3-2 模块引脚图 (Bottom 层)



## 3.2. 核心板引脚对照表

MYC-LD25X 核心板接口引脚定义如下表所示，BSP 开发包的引脚功能均按下表的“默认功能”作了配置，如需改动管脚默认功能，请修改相关驱动配置代码，否则会出现驱动冲突等不确定异常情况。

核心板引脚对照表描述的是引脚的基本定义，硬件手册资料中 Excel 版本的 Pin List 表，包含了详细的引脚复用功能信息。

注释：A：模拟信号或特殊引脚；I：输出；O：输入；I/O：输入/输出

引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
A1	VSYS_5V	/	5V 电源输入	5V	I	
A2	VSYS_5V	/	5V 电源输入	5V	I	
A3	VSYS_5V	/	5V 电源输入	5V	I	
A4	VSYS_5V	/	5V 电源输入	5V	I	
A5	GND	/	电源地			
A6	GND	/	电源地			
A7	GND	/	电源地			
A8	VDD_3V3	/	3.3V 电源输出	3.3V	O	3.3V 输出, 0.5A
A9	VDD_SDCARD	/	3.3V 电源输出	3.3V	O	3.3V 输出, 0.5A
A10	VDDIO_SDCARD	/	3.3V 电源输出	3.3V	O	3.3V 输出, 0.5A
A11	PB3_TIM20_CH3	B14	用作 IO 口	3.3V	O	
A12	PD11_UART4_TX	A15	用作 IO 口	3.3V	O	
A13	PB6_UART4_RX	C13	用作 IO 口	3.3V	O	
A14	PA8_USART2_RX	AA17	固定调试串口数据输入	3.3V	I	A35 调试串口
A15	PD6	A18	用作 IO 口	3.3V	O	
A16	GND	/	电源地			
A17	PB7_I2S3_CK	C11	音频采样时钟信号	3.3V	O	
A18	UCPD_CC2	AA19	UCPD_CC2	-	A	不使用, 可以断开
A19	UCPD_CC1	AB18	UCPD_CC1	-	A	不使用, 可以断开
A20	GND	/	电源地			



引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
A21	NC	/	/	/	/	
A22	NC	/	/	/	/	
A23	NC	/	/	/	/	
A24	GND	/	电源地			
A25	PG4_ADC1_INP4	AD6	用作 IO 口	3.3V	O	
A26	PB0_TIM16_CH1	B13	用作 IO 口	3.3V	O	
A27	PB2_TIM20_CH2N	A14	用作 IO 口	3.3V	O	
A28	PB15	AE6	用作 IO 口	3.3V	O	
A29	PD8_TIM1_CH4	C16	片选信号	3.3V	O	作为 SPI7 的片选信号
A30	PH4_BOOTFAILN_UART7_TX	AB16	用作 IO 口	3.3V	O	
A31	PA4_USART2_TX	AG17	固定调试串口数据输出	3.3V	O	A35 调试串口
A32	PD4	C18	用作 IO 口	3.3V	O	
A33	PD7	D20	用作 IO 口	3.3V	O	
A34	PB11_FDCAN1_RX	A11	CAN1 总线信号输入	3.3V	I	
A35	PB9_FDCAN1_TX	F10	CAN1 总线数据发送	3.3V	O	
A36	GND	/	电源地			
A37	NC	/	/	/	/	
A38	PF12_I2S1_SDI	P4	音频数据信号输入	3.3V	I	
A39	JTCK_SWCLK	AA5	JTAG 时钟信号	3.3V	I	
A40	PONKEY_N	/	唤醒功能	3.3V	O	PMIC 唤醒功能引脚
A41	PG1_I2C3_SCL	AD4	I2C3 数据信号	3.3V	I/O	
A42	PG2_I2C3_SDA	AG5	I2C3 时钟信号输出	3.3V	O	
A43	PH5_TIM2_CH1	AG18	用作 IO 口	3.3V	O	
A44	PD0_UART7_RX	B17	用作 IO 口	3.3V	O	
A45	PD9_I2S1_SDO	C15	音频数据信号输出	3.3V	O	
A46	PD10	C17	用作 IO 口	3.3V	O	



引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
A47	PD1_FDCAN3_RX	A19	用作 IO 口	3.3V	O	
A48	PD2_FDCAN3_TX	D12	用作 IO 口	3.3V	O	
A49	PG6_I2S1_CK	T3	音频采样时钟信号	3.3V	O	
A50	PB13_SDMMC3_CK	A26	SDMMC3 时钟信号	3.3V	O	
A51	PD12_SDMMC3_CMD	B26	SDMMC3 传送命令和应答	3.3V	O	
A52	PB12_SDMMC3_D2	C26	SDMMC3 数据 2 信号	3.3V	I/O	
A53	PI11_SDMMC3_D3	B27	SDMMC3 数据 3 信号	3.3V	I/O	
A54	PB14_SDMMC3_D0	C27	SDMMC3 数据 0 信号	3.3V	I/O	
A55	PD13_SDMMC3_D1	D25	SDMMC3 数据 1 信号	3.3V	I/O	
A56	PD5_TIM1_CH3N	B18	用作 IO 口	3.3V	O	
B1	PA14_ETH1_RGMII_RX_CLK	AB12	RGMII1 接收时钟信号	3.3V	I	
B2	PH11_ETH1_RGMII_TXD3	AE14	RGMII1 发送数据 3	3.3V	O	
B3	PH10_ETH1_RGMII_TXD2	AF14	RGMII1 发送数据 2	3.3V	O	
B4	PH13_ETH1_RGMII_RXD3	AG13	RGMII1 接收数据 3	3.3V	I	
B5	PA15_ETH1_RGMII_TXD0	AE13	RGMII1 发送数据 0	3.3V	O	
B6	PC1_ETH1_RGMII_TXD1	AG14	RGMII1 发送数据 1	3.3V	O	
B7	PCIE-CLKP-IN	AE25	PCIE 差分时钟信号输入 +	-	A	
B8	PCIE-CLKN-IN	AE26	PCIE 差分时钟信号输入 -	-	A	
B9	PCIE-CLKP-OUT	AF26	PCIE 差分时钟信号输出 +	-	A	
B10	PCIE-CLKN-OUT	AG26	PCIE 差分时钟信号输出 -	-	A	
B11	USBH_N	AG21	USB2.0 数据差分信号 -	3.3V	I/O	
B12	USBH_P	AF21	USB2.0 数据差分信号 +	3.3V	I/O	
B13	COMBOPHY_TX1P	AE24	USB3.0 发送数据差分信号 +	-	A	
B14	COMBOPHY_TX1N	AD24	USB3.0 发送数据差分信号 -	-	A	
B15	PC10_ETH2_RGMII_TXD3	AG10	RGMII2 发送数据 3	3.3V	O	
B16	PF4_ETH2_CLK	AF10	RGMII2 输出时钟信号	3.3V	O	
B17	PC8_ETH2_RGMII_TXD1	AG9	RGMII2 发送数据 1	3.3V	O	
B18	PC7_ETH2_RGMII_TXD0	AF9	RGMII2 发送数据 0	3.3V	O	
B19	PC9_ETH2_RGMII_TXD2	AE9	RGMII2 发送数据 2	3.3V	O	





引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
B20	PF9_ETH2_RGMII_RXD2	AE8	RGMII2 接收数据 2	3.3V	I	
B21	PA11_ETH1_RGMII_RX_CTL	AD12	RGMII1 接收数据控制信号	3.3V	I	
B22	PA13_ETH1_RGMII_TX_CTL	AD14	RGMII1 发送数据控制信号	3.3V	O	
B23	PF1_ETH1_RGMII_RXD0	AE11	RGMII1 接收数据 0	3.3V	I	
B24	PC2_ETH1_RGMII_RXD1	AE12	RGMII1 接收数据 1	3.3V	I	
B25	PH12_ETH1_RGMII_RXD2	AF13	RGMII1 接收数据 2	3.3V	I	
B26	PA5_ETH3_RGMII_RX_CLK	AE17	RGMII3 接收时钟信号	3.3V	I	
B27	PA6_ETH3_RGMII_TXD0	AF18	RGMII3 发送数据 0	3.3V	O	
B28	PA2_ETH3_RGMII_RX_CTL	AF17	RGMII3 接收数据控制信号	3.3V	I	
B29	COMBOPHY_RX1N	AF25	USB3.0 接收数据差分信号 -	-	A	
B30	COMBOPHY_RX1P	AG25	USB3.0 接收数据差分信号 +	-	A	
B31	USB3DR_DP	AF22	USB3 数据差分信号 +	3.3V	I/O	
B32	USB3DR_DM	AG22	USB3 数据差分信号 -	3.3V	I/O	
B33	PF8_ETH2_RGMII_CLK125	AE10	RGMII2 输入时钟信号	3.3V	I	
B34	PC11_ETH2_RGMII_RXD3	AD8	RGMII2 接收数据 3	3.3V	I	
B35	PC4_ETH2_RGMII_TX_CTL	AC9	RGMII2 接收数据控制信号	3.3V	I	
B36	PC12_ETH2_RGMII_RXD1	AE7	RGMII2 接收数据 1	3.3V	I	
B37	PG0_ETH2_RGMII_RXD0	AF7	RGMII2 接收数据 0	3.3V	I	
B38	PC0_ETH1_RGMII_GTX_CLK	AB14	RGMII1 发送时钟信号	3.3V	O	
B39	PA12_ETH1_PHY_INTN	AC13	用作 IO 口	3.3V	O	
B40	PF2_ETH1_MDIO	AC15	RGMII1 管理数据信号	3.3V	I/O	
B41	PH3_ETH3_RGMII_TXD3	AE19	RGMII3 发送数据信号 3	3.3V	O	
B42	GND	/	电源地			
B43	PH6_ETH3_RGMII_TXD2	AF19	RGMII3 发送数据信号 2	3.3V	O	
B44	PA7_ETH3_RGMII_TXD1	AE18	RGMII3 发送数据信号 1	3.3V	O	
B45	PA1_ETH3_PHY_INTN	AC19	用作 IO 口	3.3V	O	



引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
B46	PC6_ETH2_MDC	AB10	RGMII2 管理数据时钟信号	3.3V	O	
B47	PF5_ETH2_PHY_INTN	AA11	用作 IO 口	3.3V	O	
B48	PC5_ETH2_MDIO	AD10	RGMII2 管理数据信号	3.3V	I/O	
B49	PF6_ETH2_RGMII_RX_CLK	AC7	RGMII2 接收时钟信号	3.3V	I	
B50	PF7_ETH2_RGMII_GTX_CLK	AB8	RGMII2 发送时钟信号	3.3V	O	
B51	PC3_ETH2_RGMII_RX_CTL	AA9	RGMII2 接收数据控制信号	3.3V	I	
B52	PA10_ETH3_RGMII_RXD1	AE15	RGMII3 数据接收信号 1	3.3V	I	
B53	PH7_ETH3_RGMII_RXD2	AE16	RGMII3 数据接收信号 2	3.3V	I	
B54	PA3_ETH3_RGMII_TX_CTL	AD18	RGMII3 发送数据控制信号	3.3V	O	
B55	PH2_ETH3_RGMII_GTX_CLK	AC17	RGMII3 发送时钟信号	3.3V	O	
B56	PH8_ETH3_RGMII_RXD3	AD16	RGMII3 数据接收信号 3	3.3V	I	
B57	PA9_ETH3_RGMII_RXD0	AF15	RGMII3 数据接收信号 0	3.3V	I	
B58	PF0_ETH1_MDC	AA15	RGMII1 管理数据时钟信号	3.3V	O	
B59	PH9_ETH1_RGMII_CLK125	AA13	RGMII1 输入时钟信号	3.3V	I	
B60	PF3_ETH1_CLK	AF11	RGMII1 时钟信号	3.3V	O	
C1	LVDS1_CLK_N	K2	LVDS1 差分时钟信号 -	1.8V	O	
C2	LVDS1_CLK_P	K1	LVDS1 差分时钟信号 +	1.8V	O	
C3	LVDS1_TX1_N	H4	LVDS1 差分数据信号 1 -	1.8V	O	
C4	LVDS1_TX1_P	H3	LVDS1 差分数据信号 1 +	1.8V	O	
C5	LVDS1_TX0_N	G3	LVDS1 差分数据信号 0 -	1.8V	O	
C6	LVDS1_TX0_P	G2	LVDS1 差分数据信号 0 +	1.8V	O	
C7	LVDS2_CLK_N	F2	LVDS2 差分时钟信号 -	1.8V	O	
C8	LVDS2_CLK_P	F1	LVDS2 差分时钟信号 +	1.8V	O	
C9	LVDS2_TX1_N	C3	LVDS2 差分数据信号 1 -	1.8V	O	
C10	LVDS2_TX1_P	C2	LVDS2 差分数据信号 1 +	1.8V	O	
C11	LVDS2_TX0_N	B2	LVDS2 差分数据信号 0 -	1.8V	O	
C12	LVDS2_TX0_P	B1	LVDS2 差分数据信号 0 +	1.8V	O	
C13	DSI_D3_N	B6	DSI 差分数据信号 3 -	1.8V	I	



引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
C14	DSI_D3_P	A6	DSI 差分数据信号 3 +	1.8V	I	
C15	PZ6_SPI8_NSS	V4	用作 IO 口	3.3V	O	
C16	PZ3	Y6	用作 IO 口	3.3V	O	
C17	PZ2	W5	用作 IO 口	3.3V	O	
C18	PZ9_I2C8_SDA	U3	I2C8 数据信号	3.3V	I/O	
C19	PZ4_I2C8_SCL	V3	I2C8 时钟信号	3.3V	O	
C20	LVDS1_TX3_N	L3	LVDS1 差分数据信号 3 -	1.8V	O	
C21	LVDS1_TX3_P	L2	LVDS1 差分数据信号 3 +	1.8V	O	
C22	LVDS1_TX2_N	J2	LVDS1 差分数据信号 2 -	1.8V	O	
C23	LVDS1_TX2_P	J1	LVDS1 差分数据信号 2 +	1.8V	O	
C24	LVDS2_TX3_N	E2	LVDS2 差分数据信号 3 -	1.8V	O	
C25	LVDS2_TX3_P	E1	LVDS2 差分数据信号 3 +	1.8V	O	
C26	LVDS2_TX2_N	D3	LVDS2 差分数据信号 2 -	1.8V	O	
C27	LVDS2_TX2_P	E3	LVDS2 差分数据信号 2 +	1.8V	O	
C28	CSI_D0_N	A3	CSI 差分数据信号 0 -	1.8V	O	
C29	CSI_D0_P	B3	CSI 差分数据信号 0 +	1.8V	O	
C30	DSI_D0_N	C9	DSI 差分数据信号 0 -	1.8V	I	
C31	DSI_D0_P	B9	DSI 差分数据信号 0 +	1.8V	I	
C32	PD3_SDMMC1_DET	G13	SD 卡检测信号	3.3V	I	
C33	SDMMC1_D3	C19	SDIO 数据信号 3	3.3V	I/O	
C34	SDMMC1_CK	C21	SDIO 时钟信号	3.3V	O	
C35	SDMMC1_D0	B21	SDIO 数据信号 0	3.3V	I/O	
C36	BOOT3	AB2	BOOT 启动项 3	3.3V	O	核心板输出默认低电平
C37	BOOT1	AA3	BOOT 启动项 1	3.3V	O	核心板输出默认低电平
C38	BOOT2	AB1	BOOT 启动项 2	3.3V	O	核心板输出默认低电平
C39	BOOT0	Y3	BOOT 启动项 0	3.3V	O	核心板输出默认低电平



引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
C40	GND	/	电源地			
C41	CSI_CLK_N	D4	CSI 差分时钟信号 -	1.8V	O	
C42	CSI_CLK_P	C4	CSI 差分时钟信号 +	1.8V	O	
C43	CSI_D1_N	C5	CSI 差分数据信号 1 -	1.8V	O	
C44	CSI_D1_P	B5	CSI 差分数据信号 1 +	1.8V	O	
C45	PB5_I2C2_SCL	C14	用作 IO 口	3.3V	O	
C46	SDMMC1_D2	B19	SDIO 数据信号 2	3.3V	I/O	
C47	SDMMC1_CMD	C20	SDIO 控制指令信号	3.3V	O	
C48	SDMMC1_D1	C22	SDIO 数据信号 1	3.3V	I/O	
C49	PG3_ADC1_INP3	AA7	用作 IO 口	3.3V	O	
C50	DSI_CLK_N	C8	DSI 差分时钟信号 -	1.8V	I	
C51	DSI_CLK_P	C7	DSI 差分时钟信号 +	1.8V	I	
C52	DSI_D2_N	A7	DSI 差分数据信号 2 -	1.8V	I	
C53	DSI_D2_P	B7	DSI 差分数据信号 2 +	1.8V	I	
C54	PB4_I2C2_SDA	B15	I2C2 数据信号	3.3V	I/O	
C55	DSI_D1_N	A10	DSI 差分数据信号 1 -	1.8V	I	
C56	DSI_D1_P	B10	DSI 差分数据信号 1 +	1.8V	I	
D1	PZ7	V2	用作 IO 口	3.3V	O	
D2	PI8	U5	用作 IO 口	3.3V	O	
D3	PI3_USART1_CTS	N7	用作 IO 口	3.3V	O	
D4	PZ8	V1	用作 IO 口	3.3V	O	
D5	PI0	L7	用作 IO 口	3.3V	O	
D6	PI4	P6	用作 IO 口	3.3V	O	
D7	PZ5_SPI8_SCK	R5	用作 IO 口	3.3V	O	
D8	JTMS_SWDIO	AE2	JTAG 模式选择引脚	3.3V	I/O	
D9	VDD_3V3BAT_IN	T6	内部 RTC 电源输入	3.3V	I	
D10	JTDI	AE3	JTAG 数据输入引脚	3.3V	I	
D11	RST_N	AE1	CPU 复位信号	3.3V	I	
D12	JTRST_N	AF3	JTAG 复位引脚	3.3V	I	



引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
D13	JTDO_SWDO	AC2	JTAG 数据输出引脚	3.3V	O	
D14	PG7_I2S1_WS	U2	I2S1 片选信号	3.3V	O	
D15	PF14_USART6_RX	P3	串口 6 接收数据信号	3.3V	I	
D16	PF13_USART6_TX	P2	串口 6 发送数据信号	3.3V	O	
D17	GND	/	电源地			
D18	NC	/	/	/	/	
D19	NC	/	/	/	/	
D20	GND	/	电源地			
D21	PI2	N5	用作 IO 口	3.3V	O	
D22	PI9_FDCAN2_TX	U1	用作 IO 口	3.3V	O	
D23	PI10_FDCAN2_RX	D16	用作 IO 口	3.3V	O	
D24	PB10_I2S3_SDI	B11	I2S3 数据输入信号	3.3V	I	
D25	PB8_I2S3_SDO	D8	I2S3 数据输出信号	3.3V	O	
D26	PB1_I2S3_WS	C12	I2S3 片选信号	3.3V	O	
D27	PF10_UART8_TX	AE5	用作 IO 口	3.3V	O	
D28	PF11_UART8_RX	AE4	用作 IO 口	3.3V	O	
D29	PG11_SPI7_MOSI	N2	SPI7 主出从入	3.3V	I/O	
D30	PG13_SPI7_SCK	P1	SPI7 时钟信号	3.3V	I/O	
D31	GND	/	电源地			
D32	NC	/	/	/	/	
D33	PF15_USART6_CTS	R2	带流控制发送允许信号	3.3V	O	
D34	PG5_USART6_RTS	R3	带流控制发送请求信号	3.3V	I	
D35	GND	/	电源地			
D36	PG12_SPI7_MISO	N3	SPI7 主入从出	3.3V	I/O	
D37	GND	/	电源地	0V		
D38	PI6_USART3_TX	J3	用作 IO 口	3.3V	O	
D39	PI7_USART3_RX	J5	用作 IO 口	3.3V	O	
D40	PI1_SPI7_NSS	M6	SPI7 片选信号	3.3V	I/O	



引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
D41	PZ1_SPI8_MISO	U7	用作 IO 口	3.3V	O	
D42	NC	/	/	/	/	
D43	GND	/	电源地			
D44	NC	/	/	/	/	
D45	NC	/	/	/	/	
D46	PG9_UART5_TX	M3	串口 5 发送数据信号	3.3V	O	M33 调试串口
D47	PG10_UART5_RX	M4	串口 5 接收数据信号	3.3V	I	
D48	NC	/	/	/	/	
D49	GND	/	电源地			
D50	NC	/	/	/	/	
D51	NC	/	/	/	/	
D52	PZ0_SPI8_MOSI	T4	用作 IO 口	3.3V	O	
D53	PI5_UART9_RX	K4	串口 9 接收数据信号	3.3V	O	
D54	PG8_UART9_TX	L5	串口 9 发送数据信号	3.3V	I	
D55	PG15_USART1_RX	K6	串口 1 接收数据信号	3.3V	O	
D56	PG14_USART1_TX	N1	串口 1 发送数据信号	3.3V	I	
D57	NC	/	/	/	/	
D58	GND	/	电源地			
D59	NC	/	/	/	/	
D60	NC	/	/	/	/	
1	GND	/	电源地			
2	GND	/	电源地			
3	GND	/	电源地			
4	GND	/	电源地			
5	GND	/	电源地			
6	GND	/	电源地			
7	GND	/	电源地			
8	GND	/	电源地			





引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
9	GND	/	电源地			
10	GND	/	电源地			
11	GND	/	电源地			
12	GND	/	电源地			
13	GND	/	电源地			
14	GND	/	电源地			
15	GND	/	电源地			
16	GND	/	电源地			
17	GND	/	电源地			
18	GND	/	电源地			
19	GND	/	电源地			
20	GND	/	电源地			

表 3-1 核心板引脚列表



## 4. 电气特性

### 4.1. 主要电源 (VSYS\_5V)

MYC-LD25X 核心板的主要供电电源是 VSYS\_5V，分别对应 LGA 封装引的 A1、A2、A3、A4 等 4 个引脚。为了保证正常工作，底板必须提供  $5V \pm 5\%$  的电压，2A 左右的电流，确保供电电路的输出能力可以满足核心板的功耗，本章节列出了各条件下核心板的功耗和电流，在设计供电电路时请预留合适的余量。

注意：必须保证核心板先上电，底板再上电的时序，否则电流反灌，会导致处理器无法启动的情况。

电源网络	描述	推荐电压值
VSYS_5V	主要供应电压，5V 输入，2-3A	5V
VDD_3V3_OUT	核心板 3.3V 输出，最大输出 500mA	3.3V
VDD_SDCARD	核心板 3.3V 输出，最大输出 300mA	3.3V
VDDIO_SDCARD	目前与 VDD_3V3_OUT 共用一个网络，定制可调整为 1.8V	3.3V

表 4-1 外部输入输出电压

### 4.2. 电源功耗

工作条件	电源电压(V)	平均电流(A)	总功耗 (W)
no-load 阶段	5V	0.181	0.904
Full-load 阶段 (USBx2,网络 x2,HDMI+SD 卡+otg+mipi csi 摄像头+aging)	5V	0.35	1.750
Full-load 阶段 (USBx2,网络 x2,LVDSI+SD 卡+otg+mipi csi 摄像头+aging)	5V	0.378	1.892
mem 休眠状态 (echo mem)	5V	0.0176	0.088
freeze 休眠状态 (echo freeze)	软件不支持 Freeze 休眠模式	软件不支持 Freeze 休眠模式	软件不支持 Freeze 休眠模式

表 4-2 电源功耗参数



## 4.3. GPIO 直流特性

参数	标号	最小值	推荐值	最大值	单位	说明
高电平输出电压	$V_{OH(1.8V)}$	1.4	—	1.8	V	
	$V_{OH(3.3V)}$	2.8	—	3.3	V	
低电平输出电压	$V_{OL(1.8V)}$	—	—	0.4	V	
	$V_{OL(3.3V)}$	0	—	0.4	V	
高电平输入电压	$V_{IH(1.8V)}$	1.17	—	2.1	V	
	$V_{IH(3.3V)}$	2	—	3.6	V	
低电平输入电压	$V_{IL(1.8V)}$	-0.3	—	0.36	V	
	$V_{IL(3.3V)}$	-0.3	—	0.63	V	

表 4-3 I/O 直流特性



## 5. 系统必要电路设计

### 5.1. Boot 配置电路

使用 MYC-LD25X 核心板，设计底板时可以考虑使用拨码开关或者跳线帽，处理器可根据相应的启动项启动（EMMC、SD 卡），底板中设计 BOOT 启动项需要预留上拉电阻，电源建议采用核心板输出的 3V3，核心板启动引脚 Boot 3-Boot 0 输出默认为低电平；用户可以根据需求进行设计。

### 5.2. 烧写固件电路

MYC-LD25X 核心板推荐使用 Micro SD 卡电路进行核心板的烧写、更新固件，信号接口推荐使用 SDMMC1,烧写固件需要设置启动项从 SD 卡启动，出厂默认是已经烧录镜像。请参考第 6.1 章节介绍的 Micro SD 卡部分。

### 5.3. Debug 电路

MYC-LD25X 核心板调试串口使用 UART2 与 UART5 接口电路，对核心板进行调试软件程序，UART2 与 UART5 默认为调试串口，不能更换其他调试串口，我们一般使用的 UART2 串口进行调试。

### 5.4. 复位电路

使用 MYC-LD25X 核心板，RESET 信号由核心板的 PIN D11 引脚引出，用于核心板的硬件系统复位输入信号，3.3V 电平逻辑，底板设计最好带逻辑隔离，防止外部干扰。



## 6. 接口说明

### 6.1. SD/MMC 接口

MYC-LD25X 核心板中搭载了 3 路 SD/MMC 接口，分别是 SDMMC1、SDMMC2、SDMMC3。SDMMC1 通常用于设计 Micro SD 卡信号；SDMMC2 在核心板已经用于连接 EMMC 信号；SDMMC3 为 3.3V 电平，可以用于设计具有 SDIO 接口的模块之间的通信接口。

#### 6.1.1. 引脚定义

位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
-	C34	SDMMC1_CK	C21	SDMMC1 时钟信号	3.3V	O	
	C35	SDMMC1_D0	B21	SDMMC1 数据信号 0	3.3V	I/O	
	C48	SDMMC1_D1	C22	SDMMC1 数据信号 1	3.3V	I/O	
	C46	SDMMC1_D2	B19	SDMMC1 数据信号 2	3.3V	I/O	
	C33	SDMMC1_D3	C19	SDMMC1 数据信号 3	3.3V	I/O	
	C47	SDMMC1_CMD	C20	SDMMC1 控制命令信号	3.3V	O	
	C32	PD3_SDMMC1_DET	G13	SD 卡检测信号	3.3V	I	
-	A50	PB13_SDMMC3_CK	A26	SDMMC3 时钟信号	3.3V	O	
	A54	PB14_SDMMC3_D0	C27	SDMMC3 数据信号 0	3.3V	I/O	
	A55	PD13_SDMMC3_D1	D25	SDMMC3 数据信号 1	3.3V	I/O	
	A52	PB12_SDMMC3_D2	C26	SDMMC3 数据信号 2	3.3V	I/O	
	A53	PI11_SDMMC3_D3	B27	SDMMC3 数据信号 3	3.3V	I/O	
	A51	PD12_SDMMC3_CMD	B26	SDMMC3 控制指令信号	3.3V	O	

表 6-1 SD/MMC 接口 PIN 定义



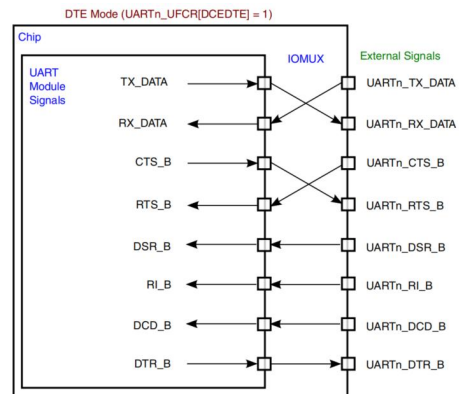
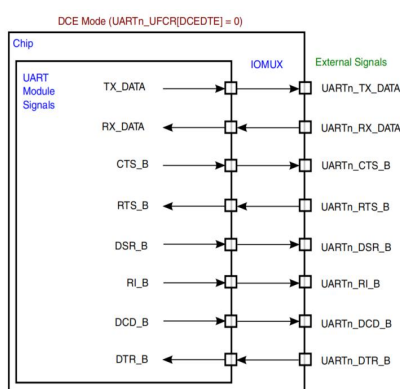
## 6.2. UART 接口

MYC-LD25X 核心板处理器拥有高达 9 路串口 (5xUART+4xUSART)，核心板将这些引脚全部引出，核心板默认配置了 5 个串口，其中 2 个串口 USART2 与 UART5 默认 Debug 调试串口，1 个配置用于 WIFI 模块通讯，另外 2 个引到 1 个 2.54MM 间距的 2\*20 Pin 双排针上，可以外接树莓派模块，如果您想使用更多的串行端口，请查阅芯片手册或引脚列表并修改驱动程序中的引脚配置。

### 6.2.1. 引脚定义

位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
	D56	PG14_USART1_TX	N1	串口 1 发送数据信号	3.3V	I	
	D55	PG15_USART1_RX	K6	串口 1 接收数据信号	3.3V	O	
	A31	PA4_USART2_TX	AG17	串口 2 发送数据信号	3.3V	I	
	A14	PA8_USART2_RX	AA17	串口 2 接收数据信号	3.3V	O	
	D46	PG9_UART5_TX	M3	串口 5 发送数据信号	3.3V	O	
	D47	PG10_UART5_RX	M4	串口 5 接收数据信号	3.3V	I	
	D16	PF13_USART6_TX	P2	串口 6 发送数据信号	3.3V	O	
	D15	PF14_USART6_RX	P3	串口 6 接收数据信号	3.3V	I	
	D33	PF15_USART6_CTS	R2	带流控制发送允许信号	3.3V	O	
	D34	PG5_USART6_RTS	R3	带流控制发送请求信号	3.3V	I	
	D54	PG8_UART9_TX	L5	串口 9 发送数据信号	3.3V	O	
	D53	PI5_UART9_RX	K4	串口 9 接收数据信号	3.3V	I	

表 6-2 UART 接口 PIN 定义





## 6.3. USB 接口

MYC-LD25X 核心板中提供 1 路 USB2.0 HOST, 1 路 USB2.0 支持 HOST、Device 模式, 烧录程序只能使用 USB3DR (OTG), USBH 仅支持 HOST 模式, USB2.0 最高速度 480Mbps。

### 6.3.1. 引脚定义

位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
-	B11	USBH_N	AG21	USB2.0 数据差分信号 -	3.3V	I/O	
	B12	USBH_P	AF21	USB2.0 数据差分信号 +	3.3V	I/O	
	B31	USB3DR_DP	AF22	USB3 数据差分信号 +	3.3V	I/O	
	B32	USB3DR_DM	AG22	USB3 数据差分信号 -	3.3V	I/O	
	B13	COMBOPHY_TX1P	AE24	发送数据差分信号 +	-	A	
	B14	COMBOPHY_TX1N	AD24	发送数据差分信号 -	-	A	
	B30	COMBOPHY_RX1P	AF17	接收数据差分信号 +	-	A	
	B29	COMBOPHY_RX1N	AF25	接收数据差分信号 -	-	A	

表 6-3 USB 接口 PIN 定义



## 6.4. CAN 接口

MYC-LD25X 核心板引出 3 路 CAN FD 总线信号，1 路引到 1 个 2.54MM 间距的 2\*20 Pin 双排针上，可以外接树莓派模块，外部通过 CAN 收发器将 TX, RX 电平信号转为电压差分信号连接到 CAN 总线，与具有 CAN 接口的设备通讯。另外两路复用为 GPIO，如果要使用更多的 CAN 总线接口，请查询芯片手册或者 Pin List，并且修改驱动中的引脚配置。

### 6.4.1. 引脚定义

位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
-	A35	PB9_FDCAN1_TX	F10	CAN1 总线数据发送	3.3V	O	
	A34	PB11_FDCAN1_RX	A11	CAN1 总线数据接收	3.3V	I	
	D22	PI9_FDCAN2_TX	D16	用作 IO 口	3.3V	O	
	D23	PI10_FDCAN2_RX	B11	用作 IO 口	3.3V	O	
	A48	PD2_FDCAN3_TX	D12	用作 IO 口	3.3V	O	
	A47	PD1_FDCAN3_RX	A19	用作 IO 口	3.3V	O	

表 6-4 CAN 接口 PIN 定义



## 6.5. Ethernet 接口

MYC-LD25X 核心板中引出 3 路 RGMII 信号。目前 CPU 以太网接口配置为 RGMII 模式，最多支持 3 路千兆以太网接口（① 1 个千兆以太网 GMAC，带有一个外部 PHY 接口。② 1 个千兆以太网 GMAC，带有一个外部 PHY 接口,可选内部连接到一个嵌入式以太网交换机，提供两个外部 PHY 接口），当用户设计底板电路，需设计以太网 PHY 电路，变压器隔离电路以及 RJ45 部分的电路即可。

### 6.5.1. 引脚定义

位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
	B58	PF0_ETH1_MDC	AA15	RGMII1 管理数据时钟信号	3.3V	O	与 RGMII3 共用
	B40	PF2_ETH1_MDIO	AC15	RGMII1 管理数据信号	3.3V	I/O	与 RGMII3 共用
	B38	PC0_ETH1_RGMII_GTX_CLK	AB14	RGMII1 发送时钟信号	3.3V	O	
	B22	PA13_ETH1_RGMII_TX_CTL	AD14	RGMII1 发送端控制信号	3.3V	O	
	B5	PA15_ETH1_RGMII_TXD0	AE13	RGMII1 发送端数据信号 0	3.3V	O	
	B6	PC1_ETH1_RGMII_TXD1	AG14	RGMII1 发送端数据信号 1	3.3V	O	
	B3	PH10_ETH1_RGMII_TXD2	AF14	RGMII1 发送端数据信号 2	3.3V	O	
	B2	PH11_ETH1_RGMII_TXD3	AE14	RGMII1 发送端数据信号 3	3.3V	O	
	B1	PA14_ETH1_RGMII_RX_CLK	AB12	RGMII1 接收端时钟信号	3.3V	I	
	B21	PA11_ETH1_RGMII_RX_CTL	AD12	RGMII1 接收端控制信号	3.3V	I	
	B23	PF1_ETH1_RGMII_RXD0	AE11	RGMII1 接收端数据信号 0	3.3V	I	
	B24	PC2_ETH1_RGMII_RXD1	AE12	RGMII1 接收端数据信号 1	3.3V	I	
	B25	PH12_ETH1_RGMII_RXD2	AF13	RGMII1 接收端数据信号 2	3.3V	I	
	B4	PH13_ETH1_RGMII_RXD3	AG13	RGMII1 接收端数据信号 3	3.3V	I	
	B39	PA12_ETH1_PHY_INTN	AC13	用作 IO 口信号	3.3V	O	
	D6	PI4	P6	用作 IO 口信号	3.3V	O	
	B60	PF3_ETH1_CLK	AF11	未使用	3.3V	O	使用晶振代替的
	B59	PH9_ETH1_RGMII_CLK125	AA13	RGMII1 输入时钟信号	3.3V	I	
	B46	PC6_ETH2_MDC	AB10	RGMII2 管理数据时钟信号	3.3V	O	
	B48	PC5_ETH2_MDIO	AD10	RGMII2 管理数据信号	3.3V	I/O	
	B50	PF7_ETH2_RGMII_GTX_CLK	AB8	RGMII2 发送时钟信号	3.3V	O	
	B35	PC4_ETH2_RGMII_TX_CTL	AC9	RGMII2 发送端控制信号	3.3V	O	



位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
	B18	PC7_ETH2_RGMII_TXD0	AF9	RGMII2 发送端数据信号 0	3.3V	O	
	B17	PC8_ETH2_RGMII_TXD1	AG9	RGMII2 发送端数据信号 1	3.3V	O	
	B19	PC9_ETH2_RGMII_TXD2	AE9	RGMII2 发送端数据信号 2	3.3V	O	
	B15	PC10_ETH2_RGMII_TXD3	AG10	RGMII2 发送端数据信号 3	3.3V	O	
	B49	PF6_ETH2_RGMII_RX_CLK	AC7	RGMII2 接收端时钟信号	3.3V	I	
	B51	PC3_ETH2_RGMII_RX_CTL	AA9	RGMII2 接收端控制信号	3.3V	I	
	B37	PG0_ETH2_RGMII_RXD0	AF7	RGMII2 接收端数据信号 0	3.3V	I	
	B36	PC12_ETH2_RGMII_RXD1	AE7	RGMII2 接收端数据信号 1	3.3V	I	
	B20	PF9_ETH2_RGMII_RXD2	AE8	RGMII2 接收端数据信号 2	3.3V	I	
	B34	PC11_ETH2_RGMII_RXD3	AD8	RGMII2 接收端数据信号 3	3.3V	I	
	B47	PF5_ETH2_PHY_INTN	AA11	用作 IO 口信号	3.3V	O	
	A27	PB2_TIM20_CH2N	A14	用作 IO 口信号	3.3V	O	
	B16	PF4_ETH2_CLK	AF10	未使用	3.3V	O	使用晶振代替的
	B33	PF8_ETH2_RGMII_CLK125	PF8	RGMII2 输入时钟信号	3.3V	I	
	B55	PH2_ETH3_RGMII_GTX_CLK	AC17	RGMII3 发送时钟信号	3.3V	O	
	B54	PA3_ETH3_RGMII_TX_CTL	AD18	RGMII3 发送端控制信号	3.3V	O	
	B27	PA6_ETH3_RGMII_TXD0	AF18	RGMII3 发送端数据信号 0	3.3V	O	
	B44	PA7_ETH3_RGMII_TXD1	AE18	RGMII3 发送端数据信号 1	3.3V	O	
	B43	PH6_ETH3_RGMII_TXD2	AF19	RGMII3 发送端数据信号 2	3.3V	O	
	B41	PH3_ETH3_RGMII_TXD3	AE19	RGMII3 发送端数据信号 3	3.3V	O	
	B26	PA5_ETH3_RGMII_RX_CLK	AE17	RGMII3 接收端时钟信号	3.3V	I	
	B28	PA2_ETH3_RGMII_RX_CTL	AF17	RGMII3 接收端控制信号	3.3V	I	
	B57	PA9_ETH3_RGMII_RXD0	AF15	RGMII3 接收端数据信号 0	3.3V	I	
	B52	PA10_ETH3_RGMII_RXD1	AE15	RGMII3 接收端数据信号 1	3.3V	I	
	B53	PH7_ETH3_RGMII_RXD2	AE16	RGMII3 接收端数据信号 2	3.3V	I	
	B56	PH8_ETH3_RGMII_RXD3	AD16	RGMII3 接收端数据信号 3	3.3V	I	
	B45	PA1_ETH3_PHY_INTN	AC19	用作 IO 口信号	3.3V	O	
	A46	PD10	C17	用作 IO 口信号	3.3V	O	

表 6-5 Ethernet 接口 PIN 定义



## 6.6. I2C 接口

MYC-LD25X 核心板处理器最大支持 8 路 I2C 总线，其中 I2C2 用于核心板中的 E2PROM 芯片（有从核心板引出），I2C7 用于核心板中的 PMIC 芯片（未从核心板引出），I2C7 不可以使用，其他 7 路 I2C 都从核心板引出，可供使用。

如果要使用更多的 I2C 总线接口，请查询芯片手册或者 Pin List，并且修改驱动中的引脚配置。

### 6.6.1. 引脚定义

位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
-	C45	PB5_I2C2_SCL	C14	I2C2 时钟信号	3.3V	O	
	C54	PB4_I2C2_SDA	B15	I2C2 数据信号	3.3V	I/O	
	A41	PG1_I2C3_SCL	AD4	I2C3 时钟信号	3.3V	O	
	A42	PG2_I2C3_SDA	AG5	I2C3 数据信号	3.3V	I/O	
	C19	PZ4_I2C8_SCL	V3	I2C8 时钟信号	3.3V	O	
	C18	PZ9_I2C8_SDA	U3	I2C8 数据信号	3.3V	I/O	

表 6-6 I2C 接口 PIN 定义



## 6.7. I2S 接口

MYC-LD25X 核心板引出 3 路 I2S 接口，默认配置了 2 路，另外一路 I2S 接口引脚复用了其他功能，如果您想使用更多的 I2S 接口，请查阅芯片手册或引脚列表并修改驱动程序中的引脚配置。

### 6.7.1. 引脚定义

位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
-	A49	PG6_I2S1_CK	T3	I2S1 时钟信号	3.3V	O	
	D14	PG7_I2S1_WS	U2	I2S1 片选信号	3.3V	O	
	A45	PD9_I2S1_SDO	C15	I2S1 数据输出信号	3.3V	O	
	A38	PF12_I2S1_SDI	P4	I2S1 数据输入信号	3.3V	I	
	A17	PB7_I2S3_CK	C11	I2S3 时钟信号	3.3V	O	
	D26	PB1_I2S3_WS	C12	I2S3 片选信号	3.3V	O	
	D25	PB8_I2S3_SDO	D8	I2S3 数据输出信号	3.3V	O	
	D24	PB10_I2S3_SDI	B11	I2S3 数据输入信号	3.3V	I	

表 6-7 I2S 接口 PIN 定义



## 6.8. LVDS 接口

MYC-LD25X 核心板中有 2 路 LVDS 显示输出接口。单路 LVDS 接口显示，分辨率 1080x1920@60Hz, 双路 LVDS 接口显示分辨率最高可达 1536p60HZ，后期支持同屏显示。

### 6.8.1. 引脚定义

位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
	C1	LVDS1_CLK_N	K2	LVDS1 差分时钟信号 -	1.8V	O	
	C2	LVDS1_CLK_P	K1	LVDS1 差分时钟信号 +	1.8V	O	
	C5	LVDS1_TX0_N	G3	LVDS1 差分数据信号 0 -	1.8V	O	
	C6	LVDS1_TX0_P	G2	LVDS1 差分数据信号 0 +	1.8V	O	
	C3	LVDS1_TX1_N	H4	LVDS1 差分数据信号 1 -	1.8V	O	
	C4	LVDS1_TX1_P	H3	LVDS1 差分数据信号 1 +	1.8V	O	
	C22	LVDS1_TX2_N	J2	LVDS1 差分数据信号 2 -	1.8V	O	
	C23	LVDS1_TX2_P	J1	LVDS1 差分数据信号 2 +	1.8V	O	
	C20	LVDS1_TX3_N	L3	LVDS1 差分数据信号 3 -	1.8V	O	
	C21	LVDS1_TX3_P	L2	LVDS1 差分数据信号 3 +	1.8V	O	
	C7	LVDS2_CLK_N	F2	LVDS2 差分时钟信号 -	1.8V	O	
	C8	LVDS2_CLK_P	F1	LVDS2 差分时钟信号 +	1.8V	O	
	C11	LVDS2_TX0_N	B2	LVDS2 差分数据信号 0 -	1.8V	O	
	C12	LVDS2_TX0_P	B1	LVDS2 差分数据信号 0 +	1.8V	O	
	C9	LVDS2_TX1_N	C3	LVDS2 差分数据信号 1 -	1.8V	O	
	C10	LVDS2_TX1_P	C2	LVDS2 差分数据信号 1 +	1.8V	O	
	C26	LVDS2_TX2_N	D3	LVDS2 差分数据信号 2 -	1.8V	O	
	C27	LVDS2_TX2_P	E3	LVDS2 差分数据信号 2 +	1.8V	O	
	C24	LVDS2_TX3_N	E2	LVDS2 差分数据信号 3 -	1.8V	O	
	C25	LVDS2_TX3_P	E1	LVDS2 差分数据信号 3 +	1.8V	O	

表 6-8 LVDS 接口 PIN 定义



## 6.9. MIPI CSI 接口

MYC-LD25X 核心板支持 1 路 MIPI CSI 接口，可以设计为 1 路 MIPI CSI，2 通道数据,用作摄像头输入信号。

### 6.9.1. 引脚定义

位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
-	C42	CSI_CLK_P	C4	CSI 时钟信号 +	1.8V	I	
	C41	CSI_CLK_N	D4	CSI 时钟信号 -	1.8V	I	
	C29	CSI_D0_P	B3	CSI 数据信号 0 +	1.8V	I	
	C28	CSI_D0_N	A3	CSI 数据信号 0 -	1.8V	I	
	C44	CSI_D1_P	B5	CSI 数据信号 1 +	1.8V	I	
	C43	CSI_D1_N	C5	CSI 数据信号 1 -	1.8V	I	

表 6-9 CSI 引脚定义





## 6.10. MIPI DSI 接口

MYC-LD25X 核心板支持 1 路 MIPI DSI 接口，可以设计为 1 路 MIPI DSI，4 通道数据，用作 DSI 输出信号，也可以使用转换芯片将 MIPI DSI 输出转换为 HDMI 视频输出，可参考底板设计。

### 6.10.1. 引脚定义

位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
	C51	DSI_CLK_P	C7	DSI 时钟信号 +	1.8V	O	
	C50	DSI_CLK_N	C8	DSI 时钟信号 -	1.8V	O	
	C31	DSI_D0_P	C9	DSI 数据信号 0 +	1.8V	O	
	C30	DSI_D0_N	B3	DSI 数据信号 0 -	1.8V	O	
	C56	DSI_D1_P	B10	DSI 数据信号 1 +	1.8V	O	
	C55	DSI_D1_N	A10	DSI 数据信号 1 -	1.8V	O	
	C53	DSI_D2_P	B7	DSI 数据信号 2 +	1.8V	O	
	C52	DSI_D2_N	A7	DSI 数据信号 2 -	1.8V	O	
	C14	DSI_D3_P	A6	DSI 数据信号 3 +	1.8V	O	
	C13	DSI_D3_N	B6	DSI 数据信号 3 -	1.8V	O	

表 6-10 DSI 引脚定义



## 6.11. SPI 接口

MYC-LD25X 核心板引出 8 路 SPI 接口，默认只配置了 1 路 SPI 接口，其他的 SPI 接口目前复用成其他功能，如果您想使用更多的 SPI 端口，请查阅芯片手册或引脚列表并修改驱动程序中的引脚配置。

### 6.11.1. 引脚定义

位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
-	D30	PG13_SPI7_SCK	P1	SPI7 时钟信号	3.3V	I/O	
	D40	PI1_SPI7_NSS	M6	SPI7 片选信号	3.3V	I/O	
	D36	PG12_SPI7_MISO	N3	SPI7 主入从出	3.3V	I/O	
	D29	PG11_SPI7_MOSI	N2	SPI7 主出从入	3.3V	I/O	

表 6-11 SPI 引脚定义



## 6.12. JTAG 接口

MYC-LD25X 核心板引出一路 JTAG 接口，用于外接 JTAG 调试设备。

### 6.12.1. 引脚定义

位号	引脚	标号	CPU 引脚	默认功能描述	电平	I/O	备注
-	D10	JTDI	AE3	JTAG 数据输入引脚	3.3V	I	
	D12	JTRST_N	AF3	JTAG 复位引脚	3.3V	I	
	D13	JTDO_SWDO	AC2	JTAG 数据输出引脚	3.3V	O	
	A39	JTCK_SWCLK	AA5	JTAG 时钟信号	3.3V	I	
	D8	JTMS_SWDIO	AE2	JTAG 模式选择引脚	3.3V	I/O	

表 6-12 JTAG 引脚定义



## 7. 封装信息

### 7.1. 机械尺寸

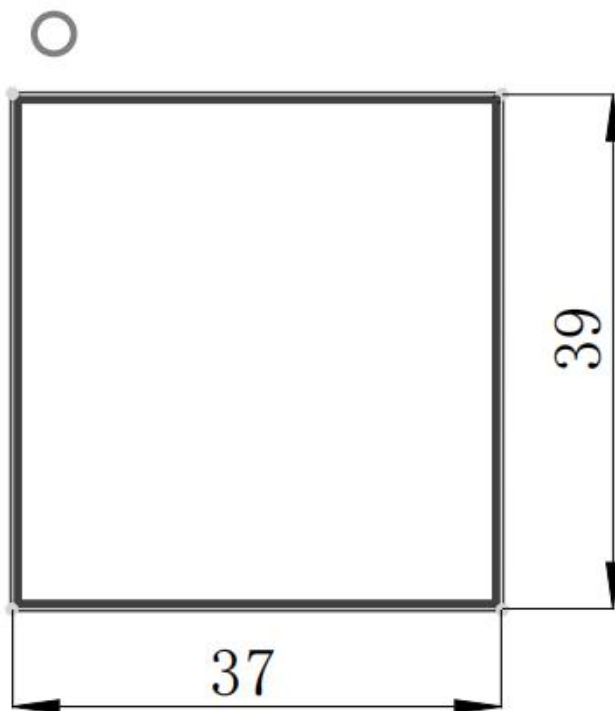


图 7-1 MYC-LD25X 核心板俯视图



图 7-2 MYC-LD25X 核心板侧视图



## 7.2. 引脚间距尺寸

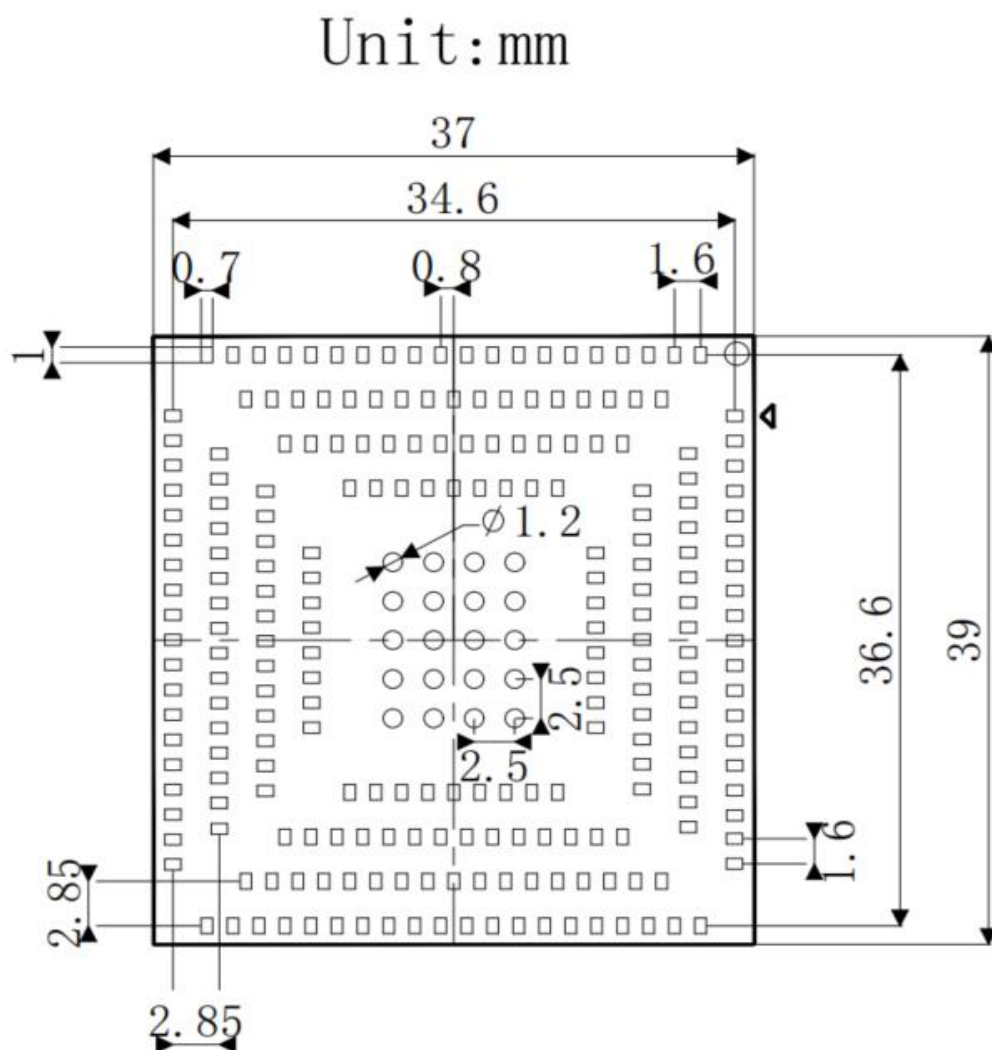


图 7-3 MYC-LD25X 核心板引脚间距尺寸图



## 7.3. 核心板 PCB 要求

- a) 推荐 PCB 厚度至少 1.6mm，注意覆铜的均衡，如过炉出现 PCB 变形，建议使用载具固定过炉。
- b) 为保证贴装和上锡质量，请确保 PCB 上模块与其它元器件之间的距离至少 3mm。
- c) 推荐使用米尔电子提供的 PCB 封装。



## 8. 贴装和储存要求

### 8.1. 钢网设计

- a) 邮票孔焊盘钢网开孔要求是建议焊盘内部回缩 10%，外扩 20%，厚度 0.18mm 阶梯。

### 8.2. 储存要求

模块以真空密封的形式出货，存储需按以下条件操作：

- b) 环境温度低于 40℃，空气湿度小于 90%的情况下，真空密封袋可存放 12 个月。
- c) 当真空密封袋打开后，在环境温度低于 30℃，空气湿度小于 10%，72 小时内可直接进行回流焊。

注：如未能达到以上条件，在贴片前应进行烘烤。

### 8.3. 烘烤方式

由于模块包装材料无法承受高温，如有需要，请从以下 2 种方式中选择 1 种进行烘烤，避免影响模块焊接质量。

- a) 原包装烘烤：烘烤温度为 40 ~ 60℃，时间为 5 ~ 7 天。
- b) 转移至耐高温料盘烘烤：烘烤温度为 100 ~ 120，烘烤时间为 48 小时以上。

### 8.4. 焊接工艺

- a) 如果待贴片底板是双面器件布局，建议把核心板的贴片工序放在最后一个阶段。
- b) 建议预热区域（160 ~ 200℃）的时间设置为 60 ~ 120 秒。
- c) 推荐回流焊的温度在 235 ~ 245℃，最高不可超过 250℃，回流时间建议控制在 40 ~ 60 秒。
- d) 推荐温度上升速度为 1 ~ 3℃/秒，温度下降速度为 2 ~ 4℃/秒。



## 附录一 免责声明

本产品手册（以下简称“手册”）发布时，会尽可能的完全与正确。内容若有变动，恕不另行通知。本手册例子中所用公司、人名和数据若非特别声明，均属虚构。

未得到深圳市米尔电子有限公司（简称“米尔电子”）明确的书面许可，不得为任何目的、以任何形式或手段（电子的或机械的）复制或传播手册的任何部分。

深圳市米尔电子有限公司 版权所有





## 附录二 联系我们

### 深圳市米尔电子有限公司

销售邮箱: [sales.cn@myirtech.com](mailto:sales.cn@myirtech.com)

公司网址: [www.myir-tech.com](http://www.myir-tech.com)

#### 深圳总部

联系电话: 0755- 25622735 / 17324413392

公司地址: 深圳市龙岗区坂田街道发达路云里智能园 2 栋 6 楼 604 室

#### 生产基地

电话: 0755-21015844

地址: 深圳市龙华区观澜街道大富工业区圣建利工业园 C 栋厂房 2 楼

#### 武汉研发中心

电话: 027-59621648

地址: 武汉东湖新技术开发区关南园一路 20 号当代科技园 4 号楼 1601 号

#### 上海办事处

联系电话: 021-62087019

地址: 上海市浦东新区金吉路 778 号浦发江程广场 1 号楼 805 室

#### 北京办事处

联系电话: 010-84675491 / 13316862895

地址: 北京市大兴区荣华中路 8 号院力宝广场 10 号楼 901 室



## 附录三 技术支持说明

MYIR 的理念是“**专业服务助力开发者成功**”。

为了协助客户更加快速高效地使用我公司产品，MYIR 通过各地办事处提供完善周到的技术支持服务。

### ➤ 产品开发资料：

- MYIR 的所有开发板都提供配套资料光盘，资料光盘内容一般涉及如下内容：
- 产品使用手册
- 产品原理图(PDF 格式)
- 完整的例程代码、BSP 包
- 板载主要芯片技术手册
- 相应开发工具链（GNU 工具或 MDK 等第三方工具评估板）

### ➤ 技术支持范围

MYIR 对所销售的产品提供 6 个月的免费技术支持服务，技术支持服务范围：

- 所购买产品的软硬件资源，硬件保修
- 协助客户正确地使用和调试光盘类容中提供的例程代码
- 客户对于产品文档，操作、嵌入式软硬件平台使用的问题

由于嵌入式开发的特殊性，以下情况不在我们的免费技术支持服务范围，将根据情况酌情处理：

- 用户自行开发中遇到的软硬件问题，对硬件的修改和造成损坏
- 用户自行裁减编译运行嵌入式操作系统遇到的问题
- 用户自己在平台中自行开发、修改的程序
- 修改光盘的软件代码遇到的问题

如需了解米尔电子更多产品，请参阅米尔电子网站，致电或电邮我们，感谢您对我公司产品的关

注！

