

# MYC-YM62X 产品手册



**版本：V1.0**

**日期：2023 年 08 月 25 日**

**深圳市米尔电子有限公司**

# 版本历史

版本	作者	参与者	日期	备注
V1.0	MYIR		20230825	正式发布



# 目 录

版 本 历 史 .....	1
目 录 .....	2
1. 概述 .....	5
2. 产品介绍 .....	7
2.1. 芯片说明 .....	7
2.2. 核心板主要参数 .....	10
2.3. 系统框图 .....	11
2.4. 标准型号 .....	12
3. 引脚描述 .....	14
3.1. 引脚示意图 .....	14
3.2. 核心板引脚对照表 .....	16
4. 电气特性 .....	22
4.1. 主要电源 (VDD_5V) .....	22
4.2. 电源功耗 .....	22
4.3. GPIO 直流特性 .....	23
5. 系统必要电路设计 .....	24
5.1. Boot 配置电路 .....	24
5.2. 烧写固件电路 .....	24
5.3. Debug 电路 .....	24
5.4. 复位电路 .....	24
6. 接口说明 .....	25
6.1. SD 接口 .....	25
6.1.1. 引脚定义 .....	25
6.2. UART 接口 .....	26
6.2.1. 引脚定义 .....	26
6.3. USB 接口 .....	27
6.3.1. 引脚定义 .....	27



6.4. CAN 接口 .....	28
6.4.1. 引脚定义 .....	28
6.5. Ethernet 接口 .....	29
6.5.1. 引脚定义 .....	29
6.6. LVDS 接口 .....	30
6.6.1. 引脚定义 .....	30
6.7. I2C 接口 .....	31
6.7.1. 引脚定义 .....	31
6.8. Audio 接口 .....	32
6.8.1. 引脚定义 .....	32
6.9. CSI 接口 .....	33
6.9.1. 引脚定义 .....	33
6.10. HDMI 接口 .....	34
6.10.1. 引脚定义 .....	34
6.11. GPMC 接口 .....	36
6.11.1. 引脚定义 .....	36
6.12. JTAG 接口 .....	37
6.12.1. 引脚定义 .....	37
7. 封装信息 .....	38
7.1. 机械尺寸 .....	38
7.2. 核心板 PCB 要求 .....	39
8. 贴装和储存要求 .....	40
8.1. 钢网设计 .....	40
8.2. 储存要求 .....	40
8.3. 烘烤方式 .....	40
8.4. 焊接工艺 .....	40
附录一 联系我们 .....	41
深圳总部 .....	41
生产基地 .....	41
武汉研发中心 .....	41
华北地区 .....	41



华东地区 .....	41
销售联系方式 .....	41
技术支持联系方式 .....	41
附录二 售后服务与技术支持 .....	42
产品返修 .....	42
维修周期 .....	42
维修费用 .....	42
运输费用 .....	42



# 1. 概述

AM62x 是 TI 在智能工控领域新一代高性能、超高效处理器。TI AM62x 集成了 ARM Cortex-A53 高性能 CPU 和 ARM Cortex-M4F 实时 CPU，含 3D GPU 图形加速器（仅 AM625X），支持双屏异显，支持 1080P 高清显示。支持 OpenGL 3.x/2.0/1.1、Vulkan 1.2 图形加速引擎。TI AM62x 处理器具有丰富的接口 UARTx9、CAN-FDx3、I2Cx6、SPIx4、GPMC、DPI+双通道 LVDS，最高 2K、ETHx2、OSPI、CSI、USB2.0x2 等。

米尔电子基于 TI AM62x 芯片作为主处理器推出了全新的核心板系列：MYC-YM62X。MYC-YM62X 拥有良好的软件开发环境，内核支持开源操作系统 Linux。该处理器是一款专为工业 HMI、医疗、工业自动化、电力、显控终端设计的双核 Cortex-A53 处理器，具有较高的性价比，适合入门级的 Linux 嵌入式 ARM 应用。同时内置 EMMC、DDR4、PMIC 芯片等集成电路可以简化硬件设计，缩短研发周期。

产品介绍链接：<https://www.myir.cn/shows/125/62.html>

资料下载链接：<http://down.myir-tech.com/MYD-YM62X/>





图 1-1 MYC-YM62X 核心板

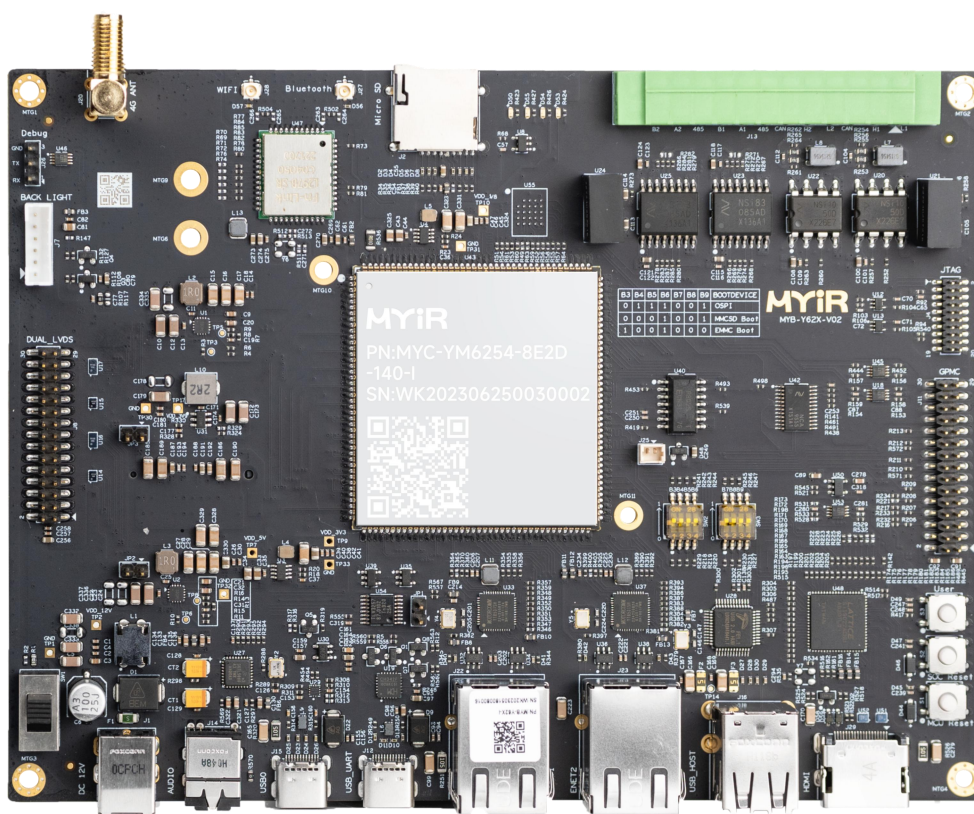


图 1-2 MYD-YM62X 评估板



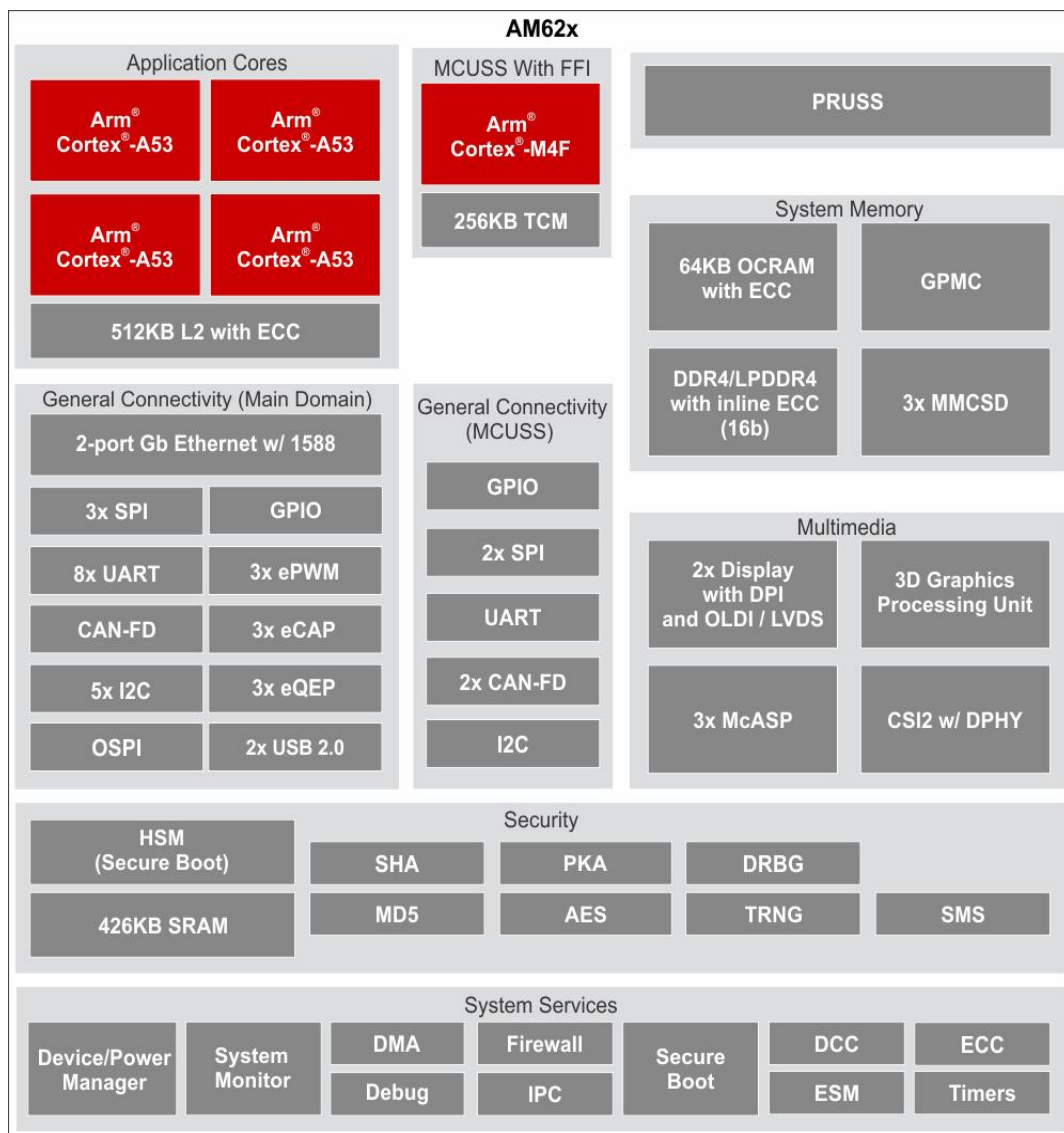
## 2. 产品介绍

MYC-YM62X 核心板采用高密度高速电路板设计，在大小为 43mm\*45mm 的板卡上集成了 AM62x、DDR4、eMMC、E2PROM、PMIC 电源管理等电路。

MYC-YM62X 系列核心板包含 3 种标准产品型号：它们在存储配置方面有一些差异，客户可根据需求自行选择合适的型号。产品型号间的差异，请参见 2.4 章节的说明。

### 2.1. 芯片说明

TI AM62x 处理器配备 Cortex-A53 和 Cortex-M4F 处理器，满足高性能和实时性需求，特别适用于人机交互(HMI)和电力控制设备等应用。



资源	参数描述
CPU	<ul style="list-style-type: none"> <li>● Quad-core Cortex-A53 cluster with 512KB L2 shared cache with SECDED ECC</li> <li>● Each A53 Core has 32KB L1 DCache with SECDED ECC and 32KB L1 I Cache with Parity protection</li> <li>● Single-core Arm® Cortex®-M4F MCU at up to 400 MHz</li> <li>● 256KB SRAM with SECDED ECC Dedicated Device and Power Manager</li> </ul>
Multi Media	<ul style="list-style-type: none"> <li>● Display subsystem</li> <li>● 3D Graphics Processing Unit</li> <li>● One Camera Serial interface (CSI-Rx) - 4 Lane with DPHY</li> </ul>
Memory Subsystem	<ul style="list-style-type: none"> <li>● Up to 816KB of On-chip RAM</li> <li>● DDR Subsystem (DDRSS)</li> </ul>
Functional Safety	<ul style="list-style-type: none"> <li>● Functional Safety-Compliant targeted [Industrial]</li> <li>● Functional Safety-Compliant targeted [Automotive]</li> <li>● AEC-Q100 qualified</li> </ul>
Security	<ul style="list-style-type: none"> <li>●</li> <li>● Hardware Security Module</li> <li>● Secure boot supported</li> <li>● Cryptographic acceleration supported</li> <li>● Debugging security</li> <li>● Trusted Execution Environment (TEE) supported</li> <li>● Secure storage support</li> <li>● On-the-Fly encryption support for OSPI interface in XIP mode</li> <li>●</li> </ul>
PRU Subsystem	<ul style="list-style-type: none"> <li>● Dual-core Programmable Real-Time Unit running up to 333 MHz and Industrial Communication Subsystem (PRU-ICSS)</li> <li>● Intended for driving GPIO for cycle accurate protocols</li> <li>● 16KByte program memory per PRU with SECDED ECC</li> <li>● 8KB data memory per PRU with SECDED ECC</li> <li>● 32KB general purpose memory with SECDED ECC</li> <li>● CRC32/16 HW accelerator</li> <li>● Scratch PAD memory with 3 banks of 30 x 32-bit registers 1 Industrial 1 64-bit timer with 9 capture and 16 compare events, along with slow</li> </ul>



	<p>and fast compensation</p> <ul style="list-style-type: none"> <li>● 1 interrupt controller (INTC), minimum of 64 input events supported</li> <li>●</li> </ul>
High-Speed Interfaces	<ul style="list-style-type: none"> <li>●</li> <li>● Integrated Ethernet switch supporting (total 2 external ports)</li> <li>● Two USB2.0 Ports</li> </ul>
Media and Data Storage	<ul style="list-style-type: none"> <li>● 3x Secure Digital® (SD®) (4b+4b+8b) interface</li> <li>● 1× General-Purpose Memory Controller (GPMC) up to 133 MHz</li> <li>● OSPI/QSPI with 166-MHz DDR / 200-MHz SDR</li> <li>●</li> </ul>
General Connectivity	<ul style="list-style-type: none"> <li>● 9x Universal Asynchronous Receiver-Transmitters (UART)</li> <li>● 5x Serial Peripheral Interface (SPI) controllers</li> <li>● 6x Inter-Integrated Circuit (I2C) ports</li> <li>● 3x Multichannel Audio Serial Ports (McASP)</li> <li>● 3x enhanced PWM modules (ePWM)</li> <li>● 3x enhanced Quadrature Encoder Pulse modules (eQEP)</li> <li>● 3x enhanced Capture modules (eCAP)</li> <li>● General-Purpose I/O (GPIO), All LVCMOS I/O can be configured as GPIO</li> <li>● 3x Controller Area Network (CAN) modules with CAN-FD support</li> </ul>
Technology / Package	<ul style="list-style-type: none"> <li>● 16-nm technology</li> <li>● 13 mm x 13 mm, 0.5-mm pitch, 425-pin FCCSP BGA (ALW)</li> </ul>

**表 2-1 AM62x 资源**

详细资料请参考芯片手册。



## 2.2. 核心板主要参数

名称	主要参数
主控芯片系列	AM62x
主控芯片型号	AM6254, AM6252, AM6231
内存	单颗 DDR4, 标配 1GB/2GB
存储器	eMMC : 8GB (其它容量可选配) EEPROM: 32KB
ARM 处理器规格	AM6254, 4*Cortex-A53@1.4GHz+Cortex-M4F@400MHz AM6252, 2*Cortex-A53@1.4GHz+Cortex-M4F@400MHz AM6231, 1*Cortex-A53@1GHz+Cortex-M4F@400MHz
核心板尺寸	43mmx45mm
接口类型	邮票孔+LGA, 222PIN
PCB 板规格	10 层板设计, 沉金工艺生产

表 2-2 主要参数



## 2.3. 系统框图

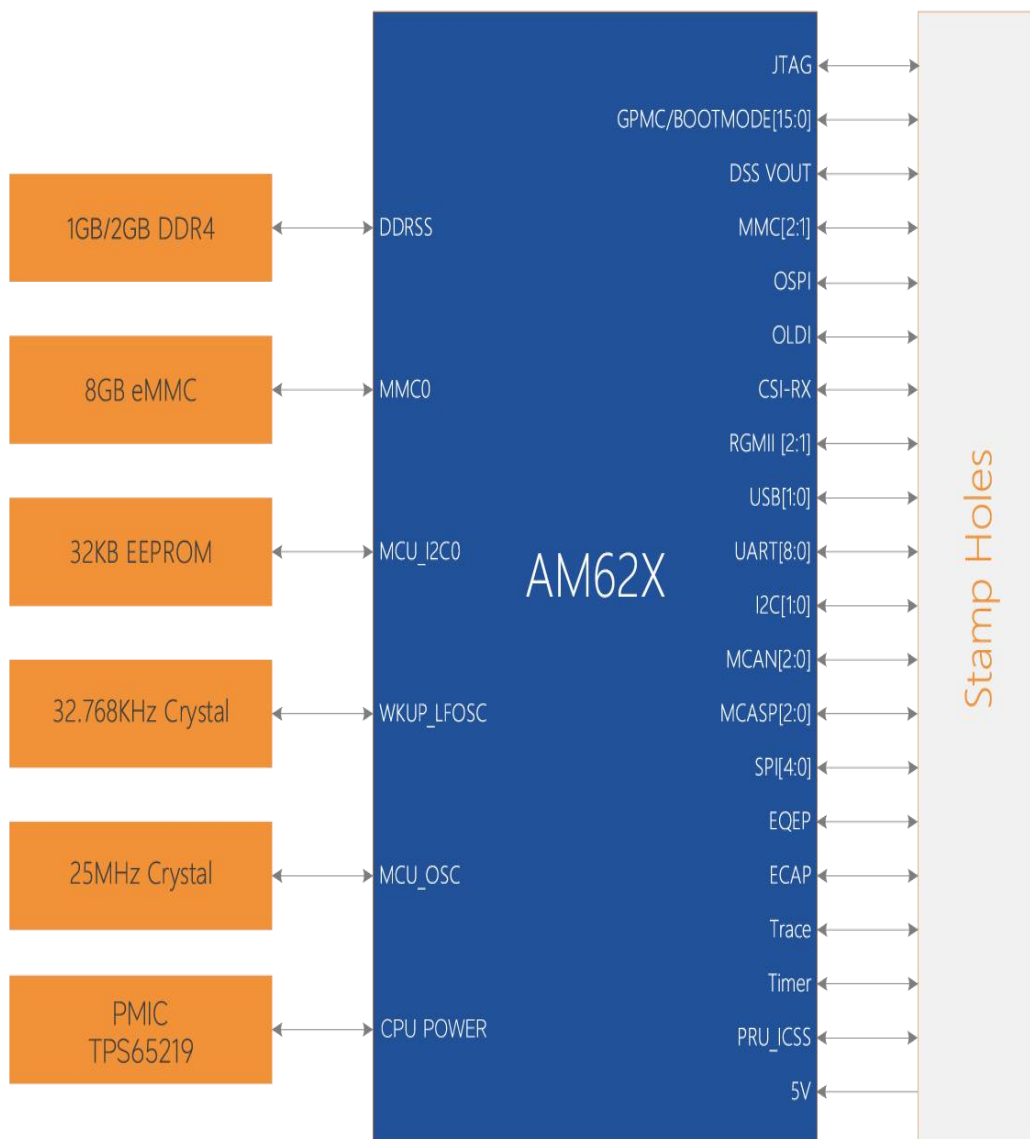


图 2-2 MYC-YM62X 核心板系统框图



## 2.4. 标准型号

MYC-YM62X 系列核心板包含 3 种标准产品型号：它们在工作温度参数方面有一些差异，客户可根据需求自行选择合适的型号。针对批量要求，米尔提供定制服务，可以选配核心板参数。

Part Item	MYC-YM6254-8E2D-140-I	MYC-YM6252-8E1D-140-I	MYC-YM6231-8E1D-100-I
主芯片	AM6254ATCGGAALW	AM6252ATCGGAALW	AM6231ASGGGAALW
主芯片系列	AM62x	AM62x	AM62x
内存	2GB	1GB	1GB
存储器	8GB eMMC	8GB eMMC	8GB eMMC
内核	4*Cortex-A53	2*Cortex-A53	1*Cortex-A53
主频	1.4GHz	1.4GHz	1GHz
视频输出	2*LVDS 1*RGB	2*LVDS 1*RGB	2*LVDS 1*RGB
Audio	3*MCASP	3*MCASP	3*MCASP
Parallel CSI	1* MIPI CSI	1* MIPI CSI	1* MIPI CSI
uSDHC	2	2	2
USB	2*USB2.0	2*USB2.0	2*USB2.0
以太网	2* RGMII	2* RGMII	2* RGMII
UART	9*URAT	9*URAT	9*URAT
CAN	3*CAN FD	3*CAN FD	3*CAN FD
SPI	5*SPI	5*SPI	5*SPI
I2C	6*I2C	6*I2C	6*I2C
GPMC	1*GPMC	1*GPMC	1*GPMC
JTAG	1*JTAG	1*JTAG	1*JTAG
操作系统	Linux 6.1.33 , Ubuntu 22.04	Linux 6.1.33 , Ubuntu 22.04	Linux 6.1.33 , Ubuntu 22.04
供电电压	+5V	+5V	+5V



机械尺寸	43mmx45mm	43mmx45mm	43mmx45mm
工作温度	-40°C-85°C	-40°C-85°C	-40°C-85°C
封装引脚数	邮票孔+LGA, 222PIN	邮票孔+LGA, 222PIN	邮票孔+LGA, 222PIN
相关认证	CE ROHS	CE ROHS	CE ROHS

表 2-3 MYC-YM62X 核心板选型表

**注意：**蓝色背景代表核心板模组支持的接口类型；灰色背景代表其它。选型表中为核心板引出的最大资源，可能存在复用关系。



## 3. 引脚描述

### 3.1. 引脚示意图

MYC-YM62X 核心板以 SMD 贴片的形式焊接在底板，管脚是邮票孔+LGA。底板封装设计请参考 7.2 章节的说明。

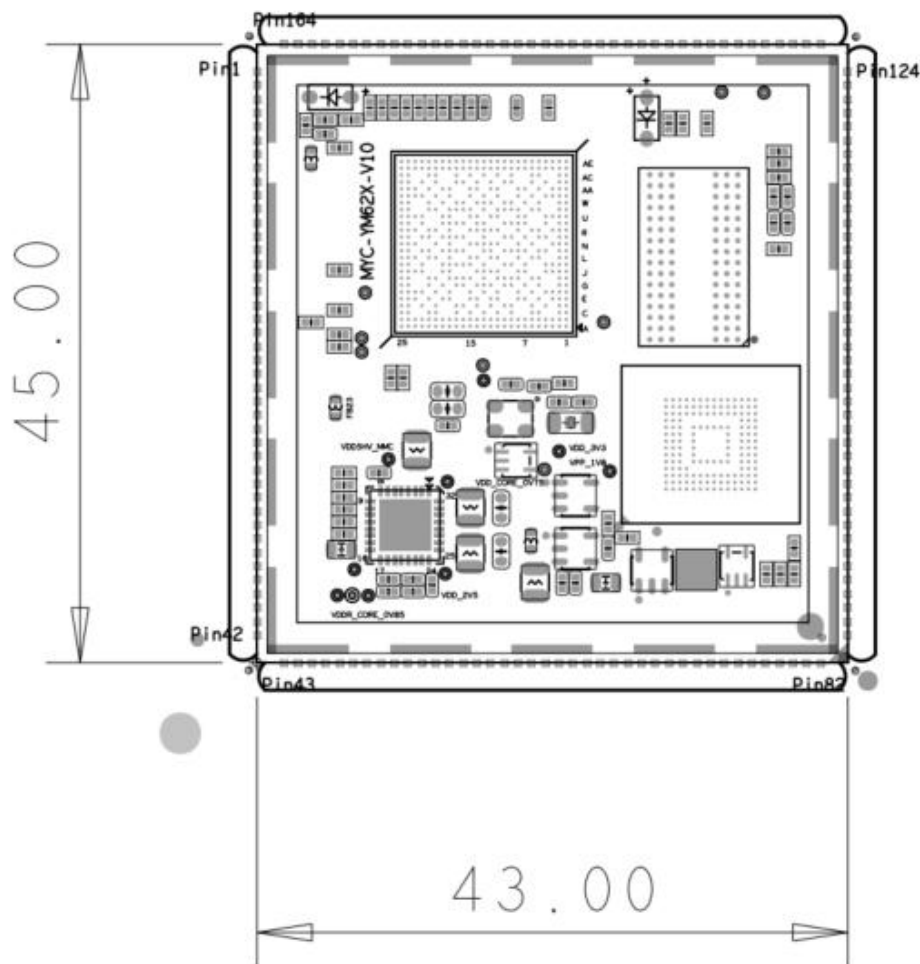
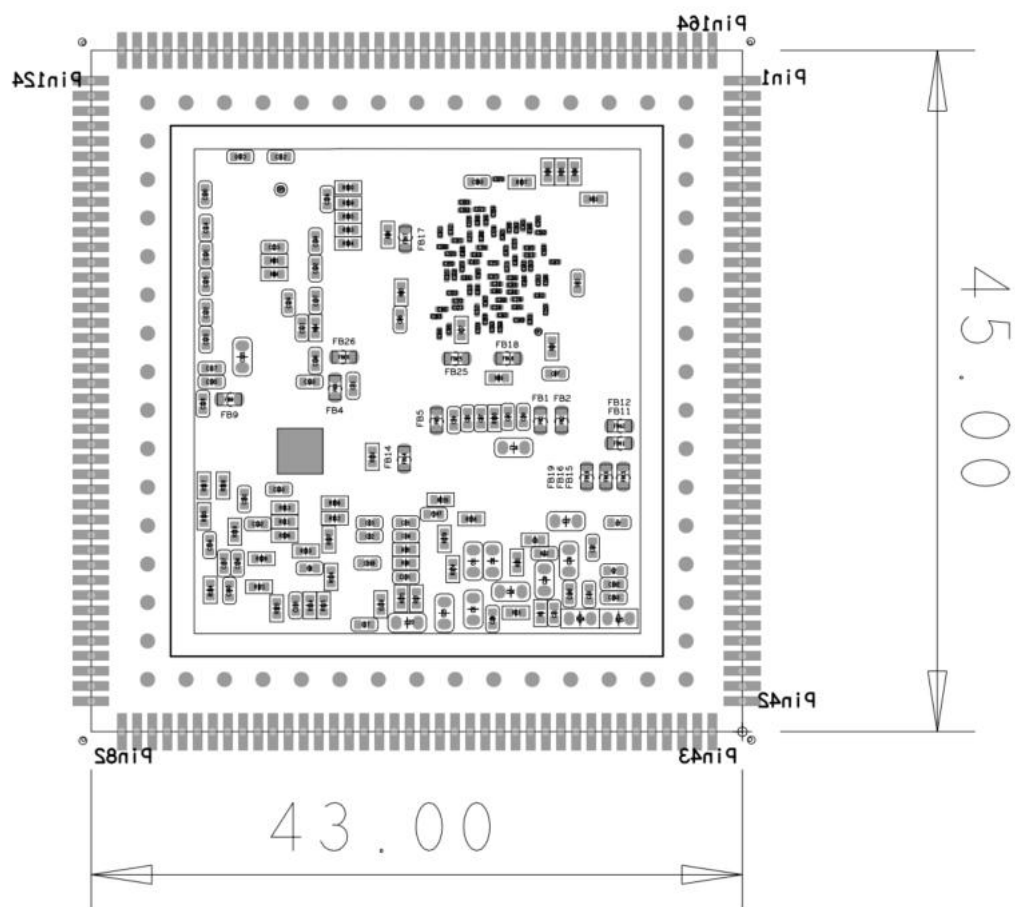


图 3-1 模块引脚图 (Top 层)





**图 3-2 模块引脚图 (Bottom 层)**



## 3.2. 核心板引脚对照表

MYC-YM62X 核心板接口引脚定义如下表所示，BSP 开发包的引脚功能均按下表的“默认功能”作了配置，如需改动管脚默认功能，请修改相关驱动配置代码，否则会出现驱动冲突等不确定异常情况。

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
	1	GND			0V		
	2	GND			0V		
	3	GND			0V		
	4	SOC_JTAG_TDI	JTAG	JTAG Test Data Input	3V3	I	
	5	SOC_JTAG_TRSTN	JTAG	TAG Reset	3V3	I	
	6	SOC_JTAG_TCK	JTAG	JTAG Test Clock Input	3V3	I	
	7	SOC_JTAG_TDO	JTAG	JTAG Test Data Output	3V3	O	
	8	SOC_JTAG_TMS	JTAG	JTAG Test Mode Select Input	3V3	I	
	9	GND			0V		
	10	SOC_LVDS0_A0P	LVDS0	OLDI Differential Data +	1V8	IO	
	11	SOC_LVDS0_A0N	LVDS0	OLDI Differential Data -	1V8	IO	
	12	GND			0V		
	13	SOC_LVDS0_A1P	LVDS0	OLDI Differential Data +	1V8	IO	
	14	SOC_LVDS0_A1N	LVDS0	OLDI Differential Data -	1V8	IO	
	15	GND			0V		
	16	SOC_LVDS0_A2P	LVDS0	OLDI Differential Data +	1V8	IO	
	17	SOC_LVDS0_A2N	LVDS0	OLDI Differential Data -	1V8	IO	
	18	GND			0V		
	19	SOC_LVDS0_A3P	LVDS0	OLDI Differential Data +	1V8	IO	
	20	SOC_LVDS0_A3N	LVDS0	OLDI Differential Data -	1V8	IO	
	21	GND			0V		
	22	SOC_LVDS0_CLK0P	LVDS0	OLDI Differential Clock +	1V8	IO	
	23	SOC_LVDS0_CLK0N	LVDS0	OLDI Differential Clock -	1V8	IO	
	24	GND			0V		
	25	SOC_LVDS1_A0P	LVDS1	OLDI Differential Data +	1V8	IO	
	26	SOC_LVDS1_A0N	LVDS1	OLDI Differential Data -	1V8	IO	
	27	GND			0V		
	28	SOC_LVDS1_A1P	LVDS1	OLDI Differential Data +	1V8	IO	
	29	SOC_LVDS1_A1N	LVDS1	OLDI Differential Data -	1V8	IO	
	30	GND			0V		
	31	SOC_LVDS1_A2P	LVDS1	OLDI Differential Data +	1V8	IO	
	32	SOC_LVDS1_A2N	LVDS1	OLDI Differential Data -	1V8	IO	
	33	GND			0V		
	34	SOC_LVDS1_A3P	LVDS1	OLDI Differential Data +	1V8	IO	
	35	SOC_LVDS1_A3N	LVDS1	OLDI Differential Data -	1V8	IO	
	36	GND			0V		
	37	SOC_LVDS1_CLK0P	LVDS1	OLDI Differential Clock +	1V8	IO	
	38	SOC_LVDS1_CLK0N	LVDS1	OLDI Differential Clock -	1V8	IO	
	39	GND			0V		



40	SOC_USB0_DP	USB0	USB 2.0 Differential Data +	1V8	IO	
41	SOC_USB0_DM	USB0	USB 2.0 Differential Data -	1V8	IO	
42	SOC_EXTINT_GPIO1_31			3V3		
43	SOC_USB1_DP	USB1	USB 2.0 Differential Data +	1V8	IO	
44	SOC_USB1_DM	USB1	USB 2.0 Differential Data -	1V8	IO	
45	JTAG_EMU_RSTN		JTAG_EMU_RSTN	3V3	I	
46	SOC_CSI0_RXCLKP	CSI0	CSI0 Differential Receive Clock Input +	1V8	I	
47	SOC_CSI0_RXCLKN	CSI0	CSI0 Differential Receive Clock Input -	1V8	I	
48	GND			0V		
49	SOC_CSI0_RXP0	CSI0	CSI0 Differential Receive Input +	1V8	I	
50	SOC_CSI0_RXN0	CSI0	CSI0 Differential Receive Input -	1V8	I	
51	GND			0V		
52	SOC_CSI0_RXP1	CSI0	CSI0 Differential Receive Input +	1V8	I	
53	SOC_CSI0_RXN1	CSI0	CSI0 Differential Receive Input -	1V8	I	
54	GND			0V		
55	SOC_CSI0_RXP2	CSI0	CSI0 Differential Receive Input +	1V8	I	
56	SOC_CSI0_RXN2	CSI0	CSI0 Differential Receive Input -	1V8	I	
57	GND			0V		
58	SOC_CSI0_RXP3	CSI0	CSI0 Differential Receive Input +	1V8	I	
59	SOC_CSI0_RXN3	CSI0	CSI0 Differential Receive Input -	1V8	I	
60	GND			0V		
61	SOC_RGMII1_TD2	RGMII1	RGMII Transmit Data 2	1V8		
62	SOC_RGMII1_TD3	RGMII1	RGMII Transmit Data 3	1V8	O	
63	SOC_RGMII1_TXC	RGMII1	RGMII Transmit Clock	1V8	IO	
64	SOC_RGMII1_TX_CTL	RGMII1	RGMII Transmit Control	1V8	O	
65	SOC_RGMII1_TD0	RGMII1	RGMII Transmit Data 0	1V8	O	
66	SOC_RGMII1_TD1	RGMII1	RGMII Transmit Data 1	1V8	O	
67	SOC_RGMII1_RD2	RGMII1	RGMII Receive Data 2	1V8	I	
68	SOC_RGMII1_RX_CTL	RGMII1	RGMII Receive Control	1V8	I	
69	GND			0V		
70	SOC_RGMII1_RXC	RGMII1	RGMII Receive Clock	1V8	I	
71	SOC_RGMII1_RD3	RGMII1	RGMII Receive Data 3	1V8	I	
72	SOC_RGMII1_RD0	RGMII1	RGMII Receive Data 0	1V8	I	
73	SOC_RGMII1_RD1	RGMII1	RGMII Receive Data 1	1V8	I	
74	SOC_RGMII2_TD3	RGMII2	RGMII Transmit Data 3	1V8	O	
75	SOC_RGMII2_TD0	RGMII2	RGMII Transmit Data 0	1V8	O	
76	SOC_RGMII2_TD1	RGMII2	RGMII Transmit Data 1	1V8	O	
77	SOC_RGMII2_TX_CTL	RGMII2	RGMII Transmit Control	1V8	O	
78	GND			0V		
79	SOC_RGMII2_TXC	RGMII2	RGMII Transmit Clock	1V8	IO	
80	SOC_RGMII2_TD2	RGMII2	RGMII Transmit Data 2	1V8	O	
81	SOC_RGMII2_RXC	RGMII2	RGMII Receive Clock	1V8	I	
82	SOC_RGMII2_RD0	RGMII2	RGMII Receive Data 0	1V8	I	
83	SOC_RGMII2_RX_CTL	RGMII2	RGMII Receive Control	1V8	I	
84	SOC_RGMII2_RD3	RGMII2	RGMII Receive Data 3	1V8	I	
85	SOC_RGMII2_RD2	RGMII2	RGMII Receive Data 2	1V8	I	
86	SOC_RGMII2_RD1	RGMII2	RGMII Receive Data 1	1V8	I	



87	SOC_VOUT0_DE	VOUT0	Video Output Data Enable	3V3	O	
88	SOC_VOUT0_HSYNC	VOUT0	Video Output Horizontal Sync	3V3	O	
89	SOC_VOUT0_PCLK	VOUT0	Video Output Pixel Clock Output	3V3	O	
90	SOC_VOUT0_VSYNC	VOUT0	Video Output Vertical Sync	3V3	O	
91	GND			0V		
92	SOC_VOUT0_DATA6	VOUT0	Video Output Data 6	3V3	O	
93	SOC_VOUT0_DATA8	VOUT0	Video Output Data 8	3V3	O	
94	SOC_VOUT0_DATA14	VOUT0	Video Output Data 14	3V3	O	
95	SOC_VOUT0_DATA0	VOUT0	Video Output Data 0	3V3	O	
96	SOC_VOUT0_DATA20/ BOOTMODE12	VOUT0	Video Output Data 20	3V3	O	
97	SOC_VOUT0_DATA12	VOUT0	Video Output Data 12	3V3	O	
98	SOC_VOUT0_DATA7	VOUT0	Video Output Data 7	3V3	O	
99	SOC_VOUT0_DATA4	VOUT0	Video Output Data 4	3V3	O	
100	GND			0V		
101	SOC_VOUT0_DATA2	VOUT0	Video Output Data 2	3V3	O	
102	SOC_VOUT0_DATA23/ BOOTMODE15	VOUT0	Video Output Data 23	3V3	O	
103	SOC_VOUT0_DATA21/ BOOTMODE13	VOUT0	Video Output Data 21	3V3	O	
104	SOC_GPMC0_AD4/BO OTMODE04	GPMC0	GPMC Data 4	3V3	IO	
105	SOC_VOUT0_DATA5	VOUT0	Video Output Data 5	3V3	O	
106	SOC_VOUT0_DATA3	VOUT0	Video Output Data 3	3V3	O	
107	SOC_VOUT0_DATA1	VOUT0	Video Output Data 1	3V3	O	
108	SOC_VOUT0_DATA22/ BOOTMODE14	VOUT0	Video Output Data 22	3V3	O	
109	GND			0V		
110	SOC_GPMC0_AD1/BO OTMODE01	GPMC0	GPMC Data 1	3V3	IO	
111	SOC_GPMC0_AD2/BO OTMODE02	GPMC0	GPMC Data 2	3V3	IO	
112	SOC_VOUT0_DATA18/ BOOTMODE10	VOUT0	Video Output Data 18	3V3	O	
113	SOC_VOUT0_DATA17/ BOOTMODE09	VOUT0	Video Output Data 17	3V3	O	
114	SOC_GPMC0_AD3/BO OTMODE03	GPMC0	GPMC Data 3	3V3	IO	
115	SOC_VOUT0_DATA16/ BOOTMODE08	VOUT0	Video Output Data 16	3V3	O	
116	SOC_VOUT0_DATA19/ BOOTMODE11	VOUT0	Video Output Data 19	3V3	O	
117	SOC_VOUT0_DATA10	VOUT0	Video Output Data 10	3V3	O	
118	SOC_GPMC0_AD0/BO OTMODE00	GPMC0	GPMC Data 0	3V3	IO	
119	GND			0V		
120	SOC_GPMC0_CLK	GPMC0	GPMC clock	3V3	O	



121	SOC_I2C1_SDA	I2C1	IIC bus data	3V3	IO	
122	SOC_I2C1_SCL	I2C1	IIC bus clock	3V3	IO	
123	SOC_UART0_RTSEN	UART0	UART Request to Send	3V3	O	
124	SOC_UART0_CTSN	UART0	UART Clear to Send	3V3	I	
125	SOC_UART0_RXD	UART0	UART Data receive	3V3	I	
126	SOC_UART0_TXD	UART0	UART Data transmit	3V3	O	
127	SOC_OSPI0_LBCLK	OSPI0	OSPI Loopback Clock Output	1V8	IO	
128	SOC_OSPI0_CSN0	OSPI0	OSPI Chip Select 0	1V8	O	
129	SOC_OSPI0_CSN1	OSPI0	OSPI Chip Select 1	1V8	O	
130	SOC_OSPI0_RESETOUT 1	OSPI0	OSPI Reset1	1V8	O	
131	SOC_OSPI0_ECC_FAIL	OSPI0	OSPI ECC Status	1V8	I	
132	SOC_OSPI0_CLK	OSPI0	OSPI Clock	1V8	O	
133	SOC_OSPI0_DQ5	OSPI0	OSPI Data 5	1V8	IO	
134	GND			0V		
135	SOC_OSPI0_DQS	OSPI0	OSPI Data Strobe	1V8	I	
136	SOC_OSPI0_DQ6	OSPI0	OSPI Data 6	1V8	IO	
137	SOC_OSPI0_DQ2	OSPI0	OSPI Data 2	1V8	IO	
138	SOC_OSPI0_DQ1	OSPI0	OSPI Data 1	1V8	IO	
139	SOC_OSPI0_DQ0	OSPI0	OSPI Data 0	1V8	IO	
140	SOC_OSPI0_DQ3	OSPI0	OSPI Data 3	1V8	IO	
141	SOC_OSPI0_DQ4	OSPI0	OSPI Data 4	1V8	IO	
142	SOC_OSPI0_DQ7	OSPI0	OSPI Data 7	1V8	IO	
143	GND			0V		
144	SOC_MMC2_CLK	MMC2	MMC/SD/SDIO Clock	3V3	IO	
145	SOC_MMC2_DAT1	MMC2	MMC/SD/SDIO Data1	3V3	IO	
146	SOC_MMC2_DAT0	MMC2	MMC/SD/SDIO Data0	3V3	IO	
147	SOC_MMC2_CMD	MMC2	MMC/SD/SDIO Command	3V3	IO	
148	SOC_MMC2_SDCD	MMC2	SD Card Detect	3V3	I	
149	SOC_MMC1_CLK	MMC1	MMC/SD/SDIO Clock	3V3	IO	
150	SOC_JTAG_EMU1	JTAG	Emulation Control 1	3V3	IO	
151	SOC_MMC2_DAT3	MMC2	MMC/SD/SDIO Data3	3V3	IO	
152	GND			0V		
153	SOC_MMC2_DAT2	MMC2	MMC/SD/SDIO Data2	3V3	IO	
154	SOC_MMC1_DAT1	MMC1	MMC/SD/SDIO Data1	3V3	IO	
155	SOC_MMC1_DAT0	MMC1	MMC/SD/SDIO Data0	3V3	IO	
156	SOC_MMC1_CMD	MMC1	MMC/SD/SDIO Command	3V3	IO	
157	SOC_MMC1_DAT3	MMC1	MMC/SD/SDIO Data3	3V3	IO	
158	SOC_MMC1_DAT2	MMC1	MMC/SD/SDIO Data2	3V3	IO	
159	SOC_MMC1_SDCD	MMC1	SD Card Detect	3V3	I	
160	SOC_JTAG_EMU0	JTAG	Emulation Control 0	3V3	IO	
161	VDD_SYS_5V0			5V		
162	VDD_SYS_5V0			5V		
163	VDD_SYS_5V0			5V		
164	VDD_SYS_5V0			5V		
L1	SOC_MCU_UART0_RXD	UART0	UART Receive Data	3V3	I	
L2	SOC_MCU_SPI0_CS0	SPI0	SPI Chip Select 0	3V3	IO	



L3	SOC_MCU_SPI0_D0	SPI0	SPI Data 0	3V3	IO	
L4	SOC_MCU_SPI0_D1	SPI0	SPI Data 1	3V3	IO	
L5	SOC_UART1_DCDN	UART1	UART Clear to Send	3V3	I	
L6	SOC_UART1_DSRN	UART1	UART Data Set Ready	3V3	I	
L7	SOC_UART1_RXD	UART1	UART Receive Data	3V3	I	
L8	SOC_UART1_TXD	UART1	UART Transmit Data	3V3	O	
L9	SOC_UART1_RIN	UART1	UART Ring Indicator	3V3	I	
L10	SOC_UART1_DTRN	UART1	UART Data Terminal Ready	3V3	O	
L11	SOC_UART1_RTSN	UART1	UART Request to Send	3V3	O	
L12	SOC_UART1_CTSN	UART1	UART Clear to Send	3V3	I	
L13	SOC_MCASP0_ACLKX	MCASP0	MCASP Transmit Bit Clock	3V3	IO	
L14	SOC_MCASP0_AFSX	MCASP0	MCASP Transmit Frame Sync	3V3	IO	
L15	SOC_MCASP0_AXR0	MCASP0	MCASP Serial Data	3V3	IO	
L16	SOC_MCASP0_AXR1	MCASP0	MCASP Serial Data	3V3	IO	
L17	SOC_RESET_REQZ	RESET	Main Domain external warm reset request input	3V3	I	
L18	SOC_RESETSTATZ	RESET	Main Domain warm reset status output	3V3	O	
L19	SOC_PORZ_OUT	PORZ_OUT	Main Domain POR status output	3V3	O	
L20	SOC_WKUP_UART0_RXD	UART0	UART Receive Data	3V3	I	
L21	SOC_MCU_RESETZ	RESET	MCU Domain warm reset	3V3	I	
L22	SOC_EXT_REFCLK1	EXT_REFCLK1	External clock input to Main Domain	3V3	I	
L23	SOC_RGMII_MDC	RGMII	MDIO Clock	1V8	O	
L24	SOC_RGMII_MDIO	RGMII	MDIO Data	1V8	IO	
L25	SOC_UART4_RXD	UART4	UART Receive Data	3V3	I	
L26	SOC_UART4_TXD	UART4	UART Transmit Data	3V3	O	
L27	SOC_VOUT0_DATA11	VOUT0	Video Output Data 11	3V3	O	
L28	SOC_VOUT0_DATA15	VOUT0	Video Output Data 15	3V3	O	
L29	SOC_VOUT0_DATA9	VOUT0	Video Output Data 9	3V3	O	
L30	SOC_VOUT0_DATA13	VOUT0	Video Output Data 13	3V3	O	
L31	SOC_WKUP_UART0_TXD	UART0	UART Transmit Data	3V3	O	
L32	SOC_GPMC0_WAIT1	GPMC0	GPMC External Indication of Wait	3V3	I	
L33	SOC_GPMC0_DIR	GPMC0	GPMC Data Bus Signal Direction Control	3V3	O	
L34	SOC_GPMC0_BE0N_CLE	GPMC0	GPMC Lower-Byte Enable	3V3	O	
L35	SOC_GPMC0_WAIT0	GPMC0	GPMC External Indication of Wait0	3V3	I	
L36	SOC_GPMC0_AD7/BO OTMODE07	GPMC0	GPMC Data 7	3V3	IO	
L37	SOC_GPMC0_AD5/BO OTMODE05	GPMC0	GPMC Data 5	3V3	IO	
L38	SOC_GPMC0_AD6/BO OTMODE06	GPMC0	GPMC Data 6	3V3	IO	
L39	SOC_GPMC0_BE1N	GPMC0	GPMC Upper-Byte Enable	3V3	O	
L40	SOC_GPMC0_OEN_REN	GPMC0	GPMC Output Enable	3V3	O	
L41	SOC_GPMC0_WPN	GPMC0	GPMC Flash Write Protect	3V3	O	



L42	SOC_GPMC0_WEN	GPMC0	GPMC Write Enable	3V3	O	
L43	VDD_3V3			3V3		
L44	SOC_SPI0_CS1	SPI0	SPI Chip Select 1	3V3	IO	
L45	SOC_SPI0_D1	SPI0	SPI Data 1	3V3	IO	
L46	SOC_USB0_DRVVBUS	USB0	USB VBUS control output	3V3	O	
L47	SOC_GPMC0_CSN0	GPMC0	GPMC Chip Select 0	3V3	O	
L48	SOC_GPMC0_ADVN_AL E	GPMC0	GPMC Address Valid	3V3	O	
L49	SOC_USB1_DRVVBUS	USB1	USB VBUS control output	3V3	O	
L50	SOC_SPI0_CS0	SPI0	SPI Chip Select 0	3V3	IO	
L51	SOC_SPI0_CLK	SPI0	SPI_Clock	3V3	IO	
L52	SOC_SPI0_D0	SPI0	SPI Data 0	3V3	IO	
L53	SOC_MCU_SPI0_CLK	SPI0	SPI Clock	3V3	IO	
L54	SOC_MCU_MCAN0_TX	CAN0	CAN transmit Data	3V3	O	
L55	SOC_MCU_MCAN1_RX	CAN1	CAN receive Data	3V3	I	
L56	SOC_MCU_MCAN1_TX	CAN1	CAN transmit Data	3V3	O	
L57	SOC_MCU_MCAN0_RX	CAN0	CAN receive Data	3V3	I	
L58	SOC_MCU_UART0_TXD	UART0	UART transmit Data	3V3	O	

表 3-1 MYC-YM62X 核心板 Pin List



## 4. 电气特性

### 4.1. 主要电源 (VDD\_5V)

MYC-YM62X 核心板的主要供电电源是 VDD\_5V，对应邮票孔 SMD 焊盘的 PIN161-164 引脚。为了保证正常工作，底板必须提供  $5V \pm 5\%$  的电压，3A 左右的电流，并确保供电电路的输出能力可以满足核心板的功耗。本章节已列出了各条件下核心板的功耗和电流，在设计供电电路时请预留合适的余量。

电源网络	描述	推荐电压值
VDD_5V	主要供应电压，5V 输入，2A	5V
VDD_3V3	3.3V 输出，0.2A	3.3V

表 4-1 外部输入输出电压

### 4.2. 电源功耗

工作条件	电源电压(V)	平均电流(A)	总功耗 (W)
no-load 阶段	5	0.21	1.05
Full-load 阶段 (ENET*1+USB*2+Type-C*1+ SD Card*1+aging)	5	0.298	1.49
mem 休眠状态 (echo mem)	-	-	-
freeze 休眠状态 (echo freeze)	5	0.16	0.8

表 4-2 电源功耗参数



### 4.3. GPIO 直流特性

参数	标号	最小值	推荐值	最大值	单位	说明
高电平输入电压	$V_{IH}$	2	—	$VDD+0.3$	V	—
低电平输入电压	$V_{IL}$	0.8	—	$0.3 \times VDD$	V	—
高电平输出电压	$V_{OH}$	2.4	—	VDD	V	—
低电平输出电压	$V_{OL}$	0.4	—	$0.2 \times VDD$	V	—

表 4-3 I/O 直流特性



## 5. 系统必要电路设计

### 5.1. Boot 配置电路

使用 MYC-YM62X 核心板，设计底板时可以根据拨码指示，进行拨码，让电路板从相应的启动项启动（OSPI，MMCSDBOOT，EMMCBOOT），底板中的拨码上拉采用核心板的 3V3。

B3	B4	B5	B6	B7	B8	B9	BOOTDEVICE
0	1	1	1	0	0	1	OSPI
0	0	0	1	0	0	1	MMCSDBOOT
1	0	0	1	0	0	0	EMMCBOOT

图 5-1 boot 配置电路

### 5.2. 烧写固件电路

MYC-YM62X 核心板推荐使用 Micro SD 卡电路进行核心板的烧写、更新固件，信号接口推荐使用 MMC1，请参考第 6.1 章节部分。

### 5.3. Debug 电路

MYC-YM62X 核心板推荐使用 TYPE-C 接口电路，对核心板进行调试软件程序，信号接口推荐使用 UART0，MCU-UART 转 TYPE-C，具体请参考第 6.2 章节部分。

### 5.4. 复位电路

使用 MYC-YM62X 核心板，SOC\_MCU\_RESETZ 信号由核心板的 PIN L21 引脚引出，用于核心板的硬件系统复位输入信号，3.3V 电平逻辑。



## 6. 接口说明

### 6.1. SD 接口

MYC-YM62X 核心板中搭载了 2 路 SD/MMC 接口。MMC1 通常用于设计 Micro SD 卡信号；MMC2 复用给 WIFI 使用。

#### 6.1.1. 引脚定义

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
-	155	SOC_MMC1_DAT0	MMC1	MMC/SD/SDIO Data0	3V3	IO	
	154	SOC_MMC1_DAT1	MMC1	MMC/SD/SDIO Data1	3V3	IO	
	158	SOC_MMC1_DAT2	MMC1	MMC/SD/SDIO Data2	3V3	IO	
	157	SOC_MMC1_DAT3	MMC1	MMC/SD/SDIO Data3	3V3	IO	
	156	SOC_MMC1_CMD	MMC1	MMC/SD/SDIO Command	3V3	IO	
	149	SOC_MMC1_CLK	MMC1	MMC/SD/SDIO Clock	3V3	IO	
	159	SOC_MMC1_SDCD	MMC1	SD Card Detect	3V3	I	
	144	SOC_MMC2_CLK	MMC2	MMC/SD/SDIO Clock	3V3	IO	
	146	SOC_MMC2_DAT0	MMC2	MMC/SD/SDIO Data0	3V3	IO	
	145	SOC_MMC2_DAT1	MMC2	MMC/SD/SDIO Data1	3V3	IO	
	153	SOC_MMC2_DAT2	MMC2	MMC/SD/SDIO Data2	3V3	IO	
	151	SOC_MMC2_DAT3	MMC2	MMC/SD/SDIO Data3	3V3	IO	
	147	SOC_MMC2_CMD	MMC2	MMC/SD/SDIO Command	3V3	IO	
	148	SOC_MMC2_SDCD	MMC2	SD Card Detect	3V3	I	

表 6-1 SD/MMC 接口 PIN 定义



## 6.2. UART 接口

MYC-YM62X 核心板处理器拥有高达 9 路串口。由于芯片的管脚复用关系，核心板默认配置了 4 路串口，UART0 和 MCU\_UART0 用于 UART 转 TYPE-C，UART4 & UART6 用于 RS485 输出；

另外 5 路由于管脚复用成其它功能。

### 6.2.1. 引脚定义

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
-	125	SOC_UART0_RXD	UART0	UART Data receive	3V3	I	
	126	SOC_UART0_TXD	UART0	UART Data transmit	3V3	O	
	L1	SOC_MCU_UART0_RXD	UART0	UART Receive Data	3V3	I	
	L58	SOC_MCU_UART0_TXD	UART0	UART transmit Data	3V3	O	
	L25	SOC_UART4_RXD	UART4	UART Receive Data	3V3	I	
	L26	SOC_UART4_TXD	UART4	UART Transmit Data	3V3	O	
	L32	SOC_GPMC0_WAIT1	GPMC0	GPMC External Indication of Wait	3V3	I	复用 UART6_TXD
	L41	SOC_GPMC0_WPN	GPMC0	GPMC Flash Write Protect	3V3	O	复用 UART6_RXD

表 6-2 UART 接口 PIN 定义



## 6.3. USB 接口

MYC-YM62X 核心板中提供 2 路 USB2.0，都支持 HOST、Device 模式。

### 6.3.1. 引脚定义

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
-	40	SOC_USB0_DP	USB0	USB 2.0 Differential Data +	1.8 V	IO	
	41	SOC_USB0_DM	USB0	USB 2.0 Differential Data -	1.8 V	IO	
	43	SOC_USB1_DP	USB1	USB 2.0 Differential Data +	1.8 V	IO	
	44	SOC_USB1_DM	USB1	USB 2.0 Differential Data -	1.8 V	IO	

表 6-3 USB 接口 PIN 定义



## 6.4. CAN 接口

MYC-YM62X 核心板中最大有 3 路 CAN 接口。由于引脚复用关系，核心板上默认配置了 2 路 CAN0,CAN1 总线接口，如果要使用更多的 CAN 总线接口，请查询芯片手册或者 Pin List，并且修改驱动中的引脚配置。

### 6.4.1. 引脚定义

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
-	L54	SOC_MCU_MCAN0_TX	CAN0	CAN transmit Data	3V3	O	
	L57	SOC_MCU_MCAN0_RX	CAN0	CAN receive Data	3V3	I	
	L55	SOC_MCU_MCAN1_RX	CAN1	CAN receive Data	3V3	I	
	L56	SOC_MCU_MCAN1_TX	CAN1	CAN transmit Data	3V3	O	

表 6-4 CAN 接口 PIN 定义



## 6.5. Ethernet 接口

MYC-YM62X 核心板中引出了 2 路 RGMII 信号。当用户设计底板电路，需设计以太网 PHY 电路，变压器隔离电路以及 RJ45 部分的电路即可。CPU 以太网接口仅支持 RMII(10/100) 或者 RGMII (10/100/1000)两种。

### 6.5.1. 引脚定义

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
-	65	SOC_RGMII1_TD0	RGMII1	RGMII Transmit Data 0	1.8 V	O	
	66	SOC_RGMII1_TD1	RGMII1	RGMII Transmit Data 1	1.8 V	O	
	61	SOC_RGMII1_TD2	RGMII1	RGMII Transmit Data 2	1.8 V		
	62	SOC_RGMII1_TD3	RGMII1	RGMII Transmit Data 3	1.8 V	O	
	72	SOC_RGMII1_RD0	RGMII1	RGMII Receive Data 0	1.8 V	I	
	73	SOC_RGMII1_RD1	RGMII1	RGMII Receive Data 1	1.8 V	I	
	67	SOC_RGMII1_RD2	RGMII1	RGMII Receive Data 2	1.8 V	I	
	71	SOC_RGMII1_RD3	RGMII1	RGMII Receive Data 3	1.8 V	I	
	63	SOC_RGMII1_TXC	RGMII1	RGMII Transmit Clock	1.8 V	IO	
	70	SOC_RGMII1_RXC	RGMII1	RGMII Receive Clock	1.8 V	I	
	64	SOC_RGMII1_TX_CTL	RGMII1	RGMII Transmit Control	1.8 V	O	
	68	SOC_RGMII1_RX_CTL	RGMII1	RGMII Receive Control	1.8 V	I	
	75	SOC_RGMII2_TD0	RGMII2	RGMII Transmit Data 0	1.8 V	O	
	76	SOC_RGMII2_TD1	RGMII2	RGMII Transmit Data 1	1.8 V	O	
	80	SOC_RGMII2_TD2	RGMII2	RGMII Transmit Data 2	1.8 V	O	
	74	SOC_RGMII2_TD3	RGMII2	RGMII Transmit Data 3	1.8 V	O	
	82	SOC_RGMII2_RD0	RGMII2	RGMII Receive Data 0	1.8 V	I	
	86	SOC_RGMII2_RD1	RGMII2	RGMII Receive Data 1	1.8 V	I	
	85	SOC_RGMII2_RD2	RGMII2	RGMII Receive Data 2	1.8 V	I	
	84	SOC_RGMII2_RD3	RGMII2	RGMII Receive Data 3	1.8 V	I	
	79	SOC_RGMII2_TXC	RGMII2	RGMII Transmit Clock	1.8 V	IO	
	81	SOC_RGMII2_RXC	RGMII2	RGMII Receive Clock	1.8 V	I	
	77	SOC_RGMII2_TX_CTL	RGMII2	RGMII Transmit Control	1.8 V	O	
	83	SOC_RGMII2_RX_CTL	RGMII2	RGMII Receive Control	1.8 V	I	
	L23	SOC_RGMII_MDC	RGMII	MDIO Clock	1.8 V	O	
	L24	SOC_RGMII_MDIO	RGMII	MDIO Data	1.8 V	IO	

表 6-5 Ethernet 接口 PIN 定义



## 6.6. LVDS 接口

MYC-YM62X 核心板中有 2 路 LVDS 显示输出接口，支持双显示，分辨率为 1920x 1080。

### 6.6.1. 引脚定义

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
-	10	SOC_LVDS0_A0P	LVDS0	OLDI Differential Data +	1V8	IO	
	11	SOC_LVDS0_A0N	LVDS0	OLDI Differential Data -	1V8	IO	
	13	SOC_LVDS0_A1P	LVDS0	OLDI Differential Data +	1V8	IO	
	14	SOC_LVDS0_A1N	LVDS0	OLDI Differential Data -	1V8	IO	
	16	SOC_LVDS0_A2P	LVDS0	OLDI Differential Data +	1V8	IO	
	17	SOC_LVDS0_A2N	LVDS0	OLDI Differential Data -	1V8	IO	
	19	SOC_LVDS0_A3P	LVDS0	OLDI Differential Data +	1V8	IO	
	20	SOC_LVDS0_A3N	LVDS0	OLDI Differential Data -	1V8	IO	
	22	SOC_LVDS0_CLK0P	LVDS0	OLDI Differential Clock +	1V8	IO	
	23	SOC_LVDS0_CLK0N	LVDS0	OLDI Differential Clock -	1V8	IO	
	25	SOC_LVDS1_A0P	LVDS1	OLDI Differential Data +	1V8	IO	
	26	SOC_LVDS1_A0N	LVDS1	OLDI Differential Data -	1V8	IO	
	28	SOC_LVDS1_A1P	LVDS1	OLDI Differential Data +	1V8	IO	
	29	SOC_LVDS1_A1N	LVDS1	OLDI Differential Data -	1V8	IO	
	31	SOC_LVDS1_A2P	LVDS1	OLDI Differential Data +	1V8	IO	
	32	SOC_LVDS1_A2N	LVDS1	OLDI Differential Data -	1V8	IO	
	34	SOC_LVDS1_A3P	LVDS1	OLDI Differential Data +	1V8	IO	
	35	SOC_LVDS1_A3N	LVDS1	OLDI Differential Data -	1V8	IO	
	37	SOC_LVDS1_CLK0P	LVDS1	OLDI Differential Clock +	1V8	IO	
	38	SOC_LVDS1_CLK0N	LVDS1	OLDI Differential Clock -	1V8	IO	

表 6-6 LVDS 接口 PIN 定义



## 6.7. I2C 接口

MYC-YM62X 核心板处理器最大支持 6 路 I2C 总线，其中 I2C0，I2C1，I2C3 分别为信号扩展，CSI、LCD、AUDIO 总线连接，LVDS、RTC、USB 总线连接。

如果要使用更多的 I2C 总线接口，请查询芯片手册或者 Pin List，并且修改驱动中的引脚配置。

### 6.7.1. 引脚定义

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
-	121	SOC_I2C1_SDA	I2C1	IIC bus data	3V3	IO	
	122	SOC_I2C1_SCL	I2C1	IIC bus clock	3V3	IO	
	123	SOC_UART0_RTSEN	UART0	UART Request to Send	3V3	IO	I2C3_SDA
	124	SOC_UART0_CTSN	UART0	UART Clear to Send	3V3	IO	I2C3_SCL
	L5	SOC_UART1_DCDN	UART1	UART Clear to Send	3V3	IO	I2C0_SCL
	L6	SOC_UART1_DSRN	UART1	UART Data Set Ready	3V3	IO	I2C0_SDA

表 6-7 I2C 接口 PIN 定义



## 6.8. Audio 接口

MYC-YM62X 核心板中内部包含模拟音频，通过芯片 SGTL5000XNAA3 接到另一边。

### 6.8.1. 引脚定义

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
-	L13	SOC_MCASP0_ACLKX	MCASP0	MCASP Transmit Bit Clock	3V3	IO	
	L14	SOC_MCASP0_AFSX	MCASP0	MCASP Transmit Frame Sync	3V3	IO	
	L15	SOC_MCASP0_AXR0	MCASP0	MCASP Serial Data	3V3	IO	
	L16	SOC_MCASP0_AXR1	MCASP0	MCASP Serial Data	3V3	IO	
	L5	SoC_UART1_DCDn	UART1	UART Clear to Send	3V3	IO	复用 AUDIO_I2C_SCL
	L6	SoC_UART1_DSRn	UART1	UART Data Set Ready	3V3	IO	复用 AUDIO_I2C_SDA

表 6-8 Audio 接口 PIN 定义



## 6.9. CSI 接口

MYC-YM62X 核心板支持 1 路 CSI。支持虚拟通道（最多 16 个），支持 1、2、3 或 4 个数据通道模式，最高支持高达 2.5Gbps。

### 6.9.1. 引脚定义

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
-	46	SOC_CSI0_RXCLKP	CSI0	CSI0+	1V8	I	
	47	SOC_CSI0_RXCLKN	CSI0	CSI0-	1V8	I	
	49	SOC_CSI0_RXP0	CSI0	CSI0+	1V8	I	
	50	SOC_CSI0_RXN0	CSI0	CSI0-	1V8	I	
	52	SOC_CSI0_RXP1	CSI0	CSI0+	1V8	I	
	53	SOC_CSI0_RXN1	CSI0	CSI0 -	1V8	I	
	55	SOC_CSI0_RXP2	CSI0	CSI0+	1V8	I	
	56	SOC_CSI0_RXN2	CSI0	CSI0-	1V8	I	
	58	SOC_CSI0_RXP3	CSI0	CSI0+	1V8	I	
	59	SOC_CSI0_RXN3	CSI0	CSI0 -	1V8	I	
	L5	SOC_UART1_DCDN	UART1	UART Clear to Send	3V3	IO	复用 I2C_SCL_CSI, 需要电平之间换
	L6	SOC_UART1_DSRN	UART1	UART Data Set Ready	3V3	IO	复用 I2C_SDA_CSI, 需要电平之间换

表 6-9 CSI 接口 PIN 定义



## 6.10. HDMI 接口

MYC-YM62X 核心板支持 1 路 LCD，由 RGB 转 HDMI 输出。

### 6.10.1. 引脚定义

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
	87	SOC_VOUT0_DE	VOUT0	Video Output Data Enable	3V3	O	
	88	SOC_VOUT0_HSYNC	VOUT0	Video Output Horizontal Sync	3V3	O	
	89	SOC_VOUT0_PCLK	VOUT0	Video Output Pixel Clock Output	3V3	O	
	90	SOC_VOUT0_VSYNC	VOUT0	Video Output Vertical Sync	3V3	O	
	95	SOC_VOUT0_DATA0	VOUT0	Video Output Data 0	3V3	O	
	107	SOC_VOUT0_DATA1	VOUT0	Video Output Data 1	3V3	O	
	101	SOC_VOUT0_DATA2	VOUT0	Video Output Data 2	3V3	O	
	106	SOC_VOUT0_DATA3	VOUT0	Video Output Data 3	3V3	O	
	99	SOC_VOUT0_DATA4	VOUT0	Video Output Data 4	3V3	O	
	105	SOC_VOUT0_DATA5	VOUT0	Video Output Data 5	3V3	O	
	92	SOC_VOUT0_DATA6	VOUT0	Video Output Data 6	3V3	O	
	98	SOC_VOUT0_DATA7	VOUT0	Video Output Data 7	3V3	O	
	93	SOC_VOUT0_DATA8	VOUT0	Video Output Data 8	3V3	O	
	L29	SOC_VOUT0_DATA9	VOUT0	Video Output Data 9	3V3	O	
	117	SOC_VOUT0_DATA10	VOUT0	Video Output Data 10	3V3	O	
	L27	SOC_VOUT0_DATA11	VOUT0	Video Output Data 11	3V3	O	
	97	SOC_VOUT0_DATA12	VOUT0	Video Output Data 12	3V3	O	
	L30	SOC_VOUT0_DATA13	VOUT0	Video Output Data 13	3V3	O	
	94	SOC_VOUT0_DATA14	VOUT0	Video Output Data 14	3V3	O	
	L28	SOC_VOUT0_DATA15	VOUT0	Video Output Data 15	3V3	O	
	115	SOC_VOUT0_DATA16/ BOOTMODE08	VOUT0	Video Output Data 16	3V3	O	
	113	SOC_VOUT0_DATA17/ BOOTMODE09	VOUT0	Video Output Data 17	3V3	O	
	112	SOC_VOUT0_DATA18/ BOOTMODE10	VOUT0	Video Output Data 18	3V3	O	
	116	SOC_VOUT0_DATA19/ BOOTMODE11	VOUT0	Video Output Data 19	3V3	O	
	96	SOC_VOUT0_DATA20/ BOOTMODE12	VOUT0	Video Output Data 20	3V3	O	
	103	SOC_VOUT0_DATA21/ BOOTMODE13	VOUT0	Video Output Data 21	3V3	O	
	108	SOC_VOUT0_DATA22/ BOOTMODE14	VOUT0	Video Output Data 22	3V3	O	
	102	SOC_VOUT0_DATA23/ BOOTMODE15	VOUT0	Video Output Data 23	3V3	O	
	L5	SOC_UART1_DCDN	UART1	UART Clear to Send	3V3	IO	复用 I2C
	L6	SOC_UART1_DSRN	UART1	UART Data Set Ready	3V3	IO	复用 I2C
	L13	SOC_MCASP0_ACLKX	MCASP0	MCASP Transmit Bit Clock	3V3	IO	复用



位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
	L14	SOC_MCASP0_AFSX	MCASP0	MCASP Transmit Frame Sync	3V3	IO	复用
	L15	SOC_MCASP0_AXR0	MCASP0	MCASP Serial Data	3V3	IO	复用

表 6-10 HDMI 接口 PIN 定义



## 6.11. GPMC 接口

MYC-YM62X 核心板支持 1 个通用内存控制器 (GPMC) , 高达 133 MHz。

### 6.11.1. 引脚定义

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
-	118	SOC_GPMC0_AD0/BOOTMODE00	GPMC0	GPMC Data 0	3V3	IO	
	110	SOC_GPMC0_AD1/BOOTMODE01	GPMC0	GPMC Data 1	3V3	IO	
	111	SOC_GPMC0_AD2/BOOTMODE02	GPMC0	GPMC Data 2	3V3	IO	
	114	SOC_GPMC0_AD3/BOOTMODE03	GPMC0	GPMC Data 3	3V3	IO	
	104	SOC_GPMC0_AD4/BOOTMODE04	GPMC0	GPMC Data 4	3V3	IO	
	L37	SOC_GPMC0_AD5/BOOTMODE05	GPMC0	GPMC Data 5	3V3	IO	
	L38	SOC_GPMC0_AD6/BOOTMODE06	GPMC0	GPMC Data 6	3V3	IO	
	L36	SOC_GPMC0_AD7/BOOTMODE07	GPMC0	GPMC Data 7	3V3	IO	
	120	SOC_GPMC0_CLK	GPMC0	GPMC clock	3V3	O	
	L33	SOC_GPMC0_DIR	GPMC0	GPMC Data Bus Signal Direction Control	3V3	O	
	L34	SOC_GPMC0_BE0N_CLE	GPMC0	GPMC Lower-Byte Enable	3V3	O	
	L35	SOC_GPMC0_WAIT0	GPMC0	GPMC External Indication of Wait0	3V3	I	
	L40	SOC_GPMC0_OEN_REN	GPMC0	GPMC Output Enable	3V3	O	
	L42	SOC_GPMC0_WEN	GPMC0	GPMC Write Enable	3V3	O	
	L47	SOC_GPMC0_CSNO	GPMC0	GPMC Chip Select 0	3V3	O	
	L48	SOC_GPMC0_ADV_N_ALE	GPMC0	GPMC Address Valid	3V3	O	

表 6-11 GPMC 接口 PIN 定义



## 6.12. JTAG 接口

MYC-YM62X 核心板处理器引出一路 JTAG，传输调试信息。

### 6.12.1. 引脚定义

位号	引脚	标号	默认功能	默认功能描述	电平	IO	备注
-	4	SOC_JTAG_TDI	JTAG	JTAG Test Data Input	3V3	I	
	5	SOC_JTAG_TRSTN	JTAG	TAG Reset	3V3	I	
	6	SOC_JTAG_TCK	JTAG	JTAG Test Clock Input	3V3	I	
	7	SOC_JTAG_TDO	JTAG	JTAG Test Data Output	3V3	O	
	8	SOC_JTAG_TMS	JTAG	JTAG Test Mode Select Input	3V3	I	

表 6-12 JTAG 接口 PIN 定义



## 7. 封装信息

### 7.1. 机械尺寸

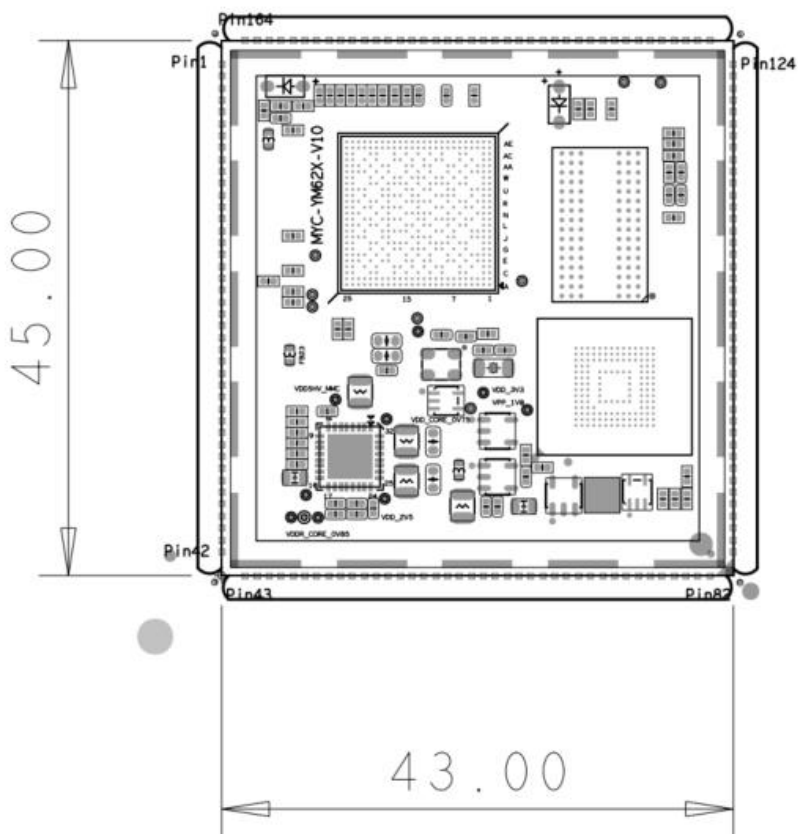


图 7-1 MYC-YM62X 核心板俯视图



图 7-2 MYC-YM62X 核心板侧视图



## 7.2. 核心板 PCB 要求

- a) 推荐 PCB 厚度至少 1.6mm，注意覆铜的均衡，如过炉出现 PCB 变形，建议使用载具固定过炉。
- b) 为保证贴装和上锡质量，请确保 PCB 上模块与其它元器件之间的距离至少 3mm。
- c) 推荐使用米尔电子提供的 PCB 封装。



## 8. 贴装和储存要求

### 8.1. 钢网设计

- a) 邮票孔焊盘钢网开孔要求是建议焊盘内部回缩 10%，外扩 20%，厚度 0.18mm 阶梯。

### 8.2. 储存要求

模块以真空密封的形式出货，存储需按以下条件操作：

- b) 环境温度低于 40℃，空气湿度小于 90%的情况下，真空密封袋可存放 12 个月。
- c) 当真空密封袋打开后，在环境温度低于 30℃，空气湿度小于 10%，72 小时内可直接进行回流焊。

注：如未能达到以上条件，在贴片前应进行烘烤。

### 8.3. 烘烤方式

由于模块包装材料无法承受高温，如有需要，请从以下 2 种方式中选择 1 种进行烘烤，避免影响模块焊接质量。

- a) 原包装烘烤：烘烤温度为 40 ~ 60℃，时间为 5 ~ 7 天。
- b) 转移至耐高温料盘烘烤：烘烤温度为 100 ~ 120，烘烤时间为 48 小时以上。

### 8.4. 焊接工艺

- a) 如果待贴片底板是双面器件布局，建议把核心板的贴片工序放在最后一个阶段。
- b) 建议预热区域（160 ~ 200℃）的时间设置为 60 ~ 120 秒。
- c) 推荐回流焊的温度在 235 ~ 245℃，最高不可超过 250℃，回流时间建议控制在 40 ~ 60 秒。
- d) 推荐温度上升速度为 1 ~ 3℃/秒，温度下降速度为 2 ~ 4℃/秒。



# 附录一 联系我们

## 深圳总部

地址：深圳市龙岗区坂田街道发达路云里智能园 2 栋 6 楼 04 室

负责区域：广东 / 四川 / 重庆 / 湖南 / 广西 / 云南 / 贵州 / 海南 / 香港澳门

传真：0755-25532724      电话：0755-25622735

## 生产基地

地址：深圳市龙华区观澜街道大富工业区圣建利工业园 C 栋厂房 2 楼

电话：0755-21015844

## 武汉研发中心

地址：武汉东湖新技术开发区关南园一路 20 号当代科技园 4 号楼 1601 号

电话：027-59621648

## 华北地区

地址：北京市大兴区荣华中路 8 号院力宝广场 10 号楼 901 室

负责区域：北京 / 天津 / 陕西 / 辽宁 / 山东 / 河南 / 河北 / 黑龙江 / 吉林  
/ 山西 / 甘肃 / 内蒙古 / 宁夏

传真：010-64125474      电话：010-84675491

## 华东地区

地址：上海市浦东新区金吉路 778 号浦发江程广场 1 号楼 805 室

负责区域：上海 / 湖北 / 江苏 / 浙江 / 安徽 / 福建 / 江西

传真：021-62087085      电话：021-62087019

## 销售联系方式

网址：www.myir.cn

邮箱：sales.cn@myir.cn

## 技术支持联系方式

电话：027-59621648

邮箱：support.@myir.cn

在您通过邮件获取帮助时，请使用以下格式书写邮件标题，以便于相应开发组快速跟进并处理您的问题：  
题：[公司名称/个人--开发板型号] 问题概述



## 附录二 售后服务与技术支持

凡是通过米尔电子直接购买或经米尔电子授权的正规代理商处购买的米尔电子全系列产品，均可享受以下权益：

- 1、6个月免费保修服务周期
- 2、终身免费技术支持服务
- 3、终身维修服务
- 4、免费享有所购买产品配套的软件升级服务
- 5、免费享有所购买产品配套的软件源代码，以及米尔电子开发的部分软件源代码
- 6、可直接从米尔电子购买主要芯片样品，简单、方便、快速；免去从代理商处购买时，漫长的等待周期
- 7、自购买之日起，即成为米尔电子永久客户，享有再次购买米尔电子任何一款软硬件产品的优惠政策
- 8、OEM/ODM 服务

**如有以下情况之一，则不享有免费保修服务：**

- 1、超过免费保修服务周期
- 2、无产品序列号或无产品有效购买单据
- 3、进液、受潮、发霉或腐蚀
- 4、受撞击、挤压、摔落、刮伤等非产品本身质量问题引起的故障和损坏
- 5、擅自改造硬件、错误上电、错误操作造成的故障和损坏
- 6、由不可抗拒自然因素引起的故障和损坏

### 产品返修

用户在使用过程中由于产品故障、损坏或其他异常现象，在寄回维修之前，请先致电米尔电子客服部，与工程师进行沟通以确认问题，避免故障判断错误造成不必要的运费损失及周期的耽误。

### 维修周期

收到返修产品后，我们将即日安排工程师进行检测，我们将在最短的时间内维修或更换并寄回。一般的故障维修周期为3个工作日（自我司收到物品之日起，不计运输过程时间），由于特殊故障导致无法短期内维修的产品，我们会与用户另行沟通并确认维修周期。

### 维修费用

在免费保修期内的产品，由于产品质量问题引起的故障，不收任何维修费用；不属于免费保修范围内的故障或损坏，在检测确认问题后，我们将与客户沟通并确认维修费用，我们仅收取元器件材料费，不收取维修服务费；超过保修期限的产品，根据实际损坏的程度来确定收取的元器件材料费和维修服务费。

### 运输费用



产品正常保修时，用户寄回的运费由用户承担，维修后寄回给用户费用由我司承担。非正常保修产品来回运费均由用户承担。

